

4/3
(Translation of the front page
of the priority document of
Japanese Patent Application
No. 10-138253)

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of
the following application as filed with this Office.

Date of Application : May 20, 1998
Application Number : Patent Application
10-138253
Applicant(s) : Canon Kabushiki Kaisha

May 28, 1999

Commissioner,
Patent Office

Takeshi ISAYAMA

Certification Number 11-3034581

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日

Date of Application:

1998年 5月20日

出 願 番 号

Application Number:

平成10年特許願第138258号

出 願 人
Applicant(s):

キヤノン株式会社

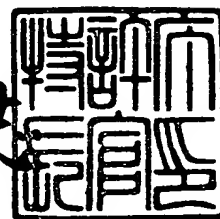


CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年 5月28日

特許庁長官
Commissioner,
Patent Office

伴佐山 建志



【書類名】 特許願

【整理番号】 3751002

【提出日】 平成10年 5月20日

【あて先】 特許庁長官 荒井 寿光 殿

【国際特許分類】 H04N 5/335

【発明の名称】 撮像装置及びそれを用いた撮像システム

【請求項の数】 33

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
内

【氏名】 橋本 誠二

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
内

【氏名】 星 淳一

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キャノン株式会社

【代表者】 御手洗 富士夫

【電話番号】 03-3758-2111

【代理人】

【識別番号】 100069877

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
内

【弁理士】

【氏名又は名称】 丸島 儀一

【電話番号】 03-3758-2111

【手数料の表示】

【予納台帳番号】 011224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703271

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 撮像装置及びそれを用いた撮像システム

【特許請求の範囲】

【請求項 1】 複数の画素と前記複数の画素からの信号を処理する共通回路を配置してなる単位セルが複数配列された撮像装置において、

少なくとも前記撮像装置の中心部分の受光部間のピッチを少なくとも垂直方向又は水平方向の 1 方向で等ピッチに調整するための調整手段を設けたことを特徴とする撮像装置。

【請求項 2】 請求項 1 において、前記調整手段は、前記共通回路により生じる、少なくとも撮像装置の中心部分の受光部の水平方向又は垂直方向の少なくとも 1 方向での不等ピッチをキャンセルするための光学的部材であることを特徴とする撮像装置。

【請求項 3】 請求項 2 において、前記光学的部材は遮光膜であることを特徴とする撮像装置。

【請求項 4】 請求項 3 において、前記共通回路は単位セルの中心部に配置したことを特徴とする撮像装置。

【請求項 5】 請求項 4 において、前記遮光膜は隣り合う単位セル間に配置したことを特徴とする撮像装置。

【請求項 6】 請求項 5 において、前記遮光膜は少なくとも前記単位セルの水平方向又は垂直方向の中心線に対して線対称となる位置に配置したことを特徴とする撮像装置。

【請求項 7】 請求項 1 乃至請求項 3 のいずれか 1 項において、開口部はそれぞれ並進対称であることを特徴とする撮像装置。

【請求項 8】 請求項 2 において、前記光学的部材はオンチップレンズであることを特徴とする撮像装置。

【請求項 9】 請求項 1 又請求項 2 又は請求項 7 のいずれか 1 項において、前記撮像装置の周辺部分の受光部を等ピッチにするために開口部をそれぞれ不等ピッチとしたことを特徴とする撮像装置。

【請求項 10】 請求項 1 乃至請求項 7 のいずれか 1 項において、各画素における前記受光部の重心と各画素の中心は一致していることを特徴とする撮像装置。

【請求項 11】 請求項 1 乃至請求項 10 のいずれか 1 項において、前記共通回路はアンプである。

【請求項 12】 請求項 11 において、前記アンプは前記単位セル中の複数の画素からの信号を増幅する増幅手段と前記単位セル中をリセットするリセット手段を有することを特徴とする撮像装置。

【請求項 13】 請求項 11 又は請求項 12 において、前記単位セル内で各画素における受光部の重心と画素の中心が一致するように配線を設けたことを特徴とする撮像装置。

【請求項 14】 請求項 11 又は請求項 12 において、前記単位セル内は水平方向に貫通する配線を有し、前記配線は光を透過する透明な導体であることを特徴とする撮像装置。

【請求項 15】 請求項 11 又は請求項 12 において、前記単位セル内は水平方向に貫通する配線を有し、前記配線は前記画素の中心部を横切ることを特徴とする撮像装置。

【請求項 16】 請求項 11 又は請求項 12 において、前記単位セル内は水平方向に貫通する配線を有し、前記単位セルを構成する素子群は前記配線の下方に配置したことを特徴とする撮像装置。

【請求項 17】 請求項 11 又は請求項 12 において、前記単位セル内は水平方向に貫通する配線を有し、前記配線は 2 つの群に分かれており、それぞれ前記各画素の周辺部分を同本数で貫通することを特徴とする撮像装置。

【請求項 18】 請求項 17 において、前記単位セルは、少なくとも増幅手段及びリセット手段を有し、前記増幅手段と前記リセット手段は別々の群の配線の下方に配置されたことを特徴とする撮像装置。

【請求項 19】 複数の画素と前記複数の画素からの信号を処理する共通回路を配置してなる単位セルが複数配列された撮像装置において、

一定条件の下で選択された複数の画素における受光部間を少なくとも前記撮像

素子の中央部で少なくとも垂直方向又は水平方向の 1 方向で等ピッチにする調整手段を設けたことを特徴とする撮像装置。

【請求項 20】 請求項 19 において、前記共通回路は前記単位セルの中心部に配置されており、前記一定条件のもとで選択された複数の画素内における前記共通回路の占める割合は、前記一定条件のもとで選択された複数の画素以外の画素内の共通回路の占める割合よりも小さいことを特徴とする撮像装置。

【請求項 21】 請求項 19 又は請求項 20 において、前記一定の条件のもとで選択された複数の画素は輝度を主に決める色フィルタが取り付けられる画素であることを特徴とする撮像装置。

【請求項 22】 請求項 19 乃至請求項 21 のいずれか 1 項において、輝度を主に決める色はグリーン（G）であることを特徴とする撮像装置。

【請求項 23】 請求項 19 において、前記調整手段は遮光膜であり、前記遮光膜は前記単位セルの中心に対して中心対称であることを特徴とする撮像装置。

【請求項 24】 複数の画素と前記複数の画素からの信号を処理する共通回路を配置してなる単位セルが複数配列された撮像装置において、

同タイミングで複数の画素からの画像信号に対してノイズ信号を除去するノイズ除去手段を備えたことを特徴とする撮像装置。

【請求項 25】 複数の画素と前記複数の画素からの信号を処理する共通回路を配置してなる単位セルが複数配列された撮像装置において、

前記単位セル内の前記複数の画素からの画像信号を蓄積する複数の画像信号蓄積手段と、

それぞれの前記共通回路内の特性のバラツキを補正するための前記共通回路内の特性のバラツキ信号を蓄積するバラツキ信号蓄積手段と、

前記複数の画像信号蓄積手段からの信号から前記バラツキ信号蓄積手段からの信号を差分する差分手段と、

を有することを特徴とする撮像装置。

【請求項 26】 複数の画素と前記複数の画素からの信号を処理する共通回路を配置してなる単位セルが複数配列された撮像素子において、

前記単位セル中の前記複数の画素からの第1の信号を蓄積する複数の第1の蓄積手段と、

前記複数の画素からの第2の信号を蓄積する複数の第2の蓄積手段と、

前記複数の第1の蓄積手段からの信号から前記複数の第2の蓄積手段からの信号を差分する複数の差分手段と、

を有することを特徴とする撮像装置。

【請求項27】 請求項26において、前記第1の信号は画像信号であり、前記第2の信号はノイズ信号であることを特徴とする撮像装置。

【請求項28】 複数の画素と前記複数の画素からの信号を処理する共通回路を配置してなる単位セルが複数配列された撮像装置において、

前記共通回路は、前記単位セルからの信号の読み出しタイミングを変化させることで前記単位セルから複数の処理信号を出力させるタイミング処理手段を含むことを特徴とする撮像装置。

【請求項29】 請求項28において、前記複数の処理信号は、単一の画素からの信号および複数の画素の加算信号であることを特徴とする撮像装置。

【請求項30】 請求項19乃至請求項29のいずれか1項において、前記共通回路はアンプである。

【請求項31】 請求項30において、前記アンプは前記単位セル中の複数の画素からの信号を増幅する増幅手段と前記単位セル中をリセットするリセット手段を有することを特徴とする撮像装置。

【請求項32】 請求項1乃至請求項10及び請求項19乃至請求項31のいずれか1項において、前記共通回路は、前記単位セル中の複数の画素からの信号をデジタル信号に変換するデジタル信号変換手段を有することを特徴とする撮像装置。

【請求項33】 請求項1乃至請求項32のいずれか1項に記載の前記撮像装置と、前記撮像装置へ光を結像するレンズと、前記撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする撮像システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は画像を撮像する撮像装置及びそれを用いた撮像システムに関するものである。

【0002】

【従来の技術】

従来、ゲインセル、あるいはAP Sを有する撮像装置には、画素アンプにBJT, MOSFET, JFET, などを用いたものがある。

【0003】

これらは光電変換素子であるホトダイオードに蓄積された信号電荷を各々の方式によって増幅、画像情報として読出すものである。信号電荷を増幅する手段は各々の画素中に存在するため、ゲインセルあるいはAP Sと呼ばれている。

【0004】

AP Sは画素中に増幅手段（アンプ）やその制御手段を有するため、光電変換部の画素に占める割合（面積率）あるいは光が入射する領域の画素に占める割合（開口率）は小さくなりがちである。従って撮像装置のダイナミックレンジ、感度、S/N比等は低下する恐れがある。

【0005】

図22-bのように1画素に1つのアンプを設けると開口率が低下する。増幅手段による面積率、開口率の低下を防ぐ方法として例えば特開昭63-100879号公報あるいは特開平9-46596号公報に見られるように、複数画素で1つの増幅手段を共有する方法が提案されている。

【0006】

図24はその画素構成を示す図である。図24に於て、PD1, ~PD4は光電変換部となるホトダイオード、MTX1~MTX4はホトダイオードPD1~PD4に蓄積された信号電荷を転送する転送用MOSトランジスタ、MRESはリセット用MOSトランジスタ、MSF, MSELは増幅手段（ソースフォロワ）を構成するMOSトランジスタであり、MSELは画素を選択する選択用スイ

ッチとなっている。

【0007】

【発明が解決しようとする課題】

しかしながら、上記特開昭63-100879号公報又は特開平9-46596号公報には、複数の画素で1つの増幅手段を共有する場合での具体的な配置は開示されていなかった。

【0008】

また、共有する部分が上記の増幅手段ではなく、他の処理をするものであっても具体的開示はなかった。

【0009】

そのため、本発明では複数の画素で1つの増幅手段等の共通回路を共有する場合においても解像度を低下することなく、良好な性能を得ることができる撮像装置を提供することを目的とする。

【0010】

また、本発明は上記の撮像装置に好適に用いられるノイズ除去手段を有する撮像装置を提供することを目的とする。

【0011】

さらにまた、上記の撮像装置をセンサ部に用いた撮像システムを提供することを目的とする。

【0012】

【課題を解決するための手段】

本発明は、上記のような課題を解決するためになされたものである。

【0013】

そのため、複数の画素と前記複数の画素からの信号を処理する共通回路を配置してなる単位セルが複数配列された撮像装置において、少なくとも前記撮像装置の中心部分の受光部間のピッチを少なくとも垂直方向又は水平方向の1方向で等ピッチに調整するための調整手段を設けたことを特徴とする撮像装置を提供する。

【0014】

また、複数の画素と前記複数の画素からの信号を処理する共通回路を配置してなる単位セルが複数配列された撮像装置において、

同タイミングで複数の画素からの画像信号に対してノイズ信号を除去するノイズ除去手段を備えたことを特徴とする撮像装置を提供する。

【0015】

さらに、また上記に示した撮像装置と、前記撮像装置へ光を結像するレンズと、前記撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする撮像システムを提供する。

【0016】

【発明の実施の形態】

本発明の実施形態の説明に先だてて本発明にいたる技術的背景について説明する。

【0017】

本発明者らは、前述した、特開昭63-100879号公報あるいは特開平9-46596号公報に見られるような、複数画素で1つの増幅手段（アンプ）等の共通回路を共有する撮像装置に於ける、画素レイアウトを検討した。

【0018】

図22（a）に共通回路に対して画素数が4である場合の撮像装置の一例の画素レイアウト図を示す。

【0019】

本例は画素の2行2列毎に増幅手段を共有する例であり、4つのホットダイオード173（a11, a12, a21, a22）の間に増幅手段174が配置されている。ここで171は2行分の繰返し単位セル、172は2列分の繰返し単位セルを示す。

【0020】

図23により具体的な画素のパターンレイアウト図を示す。

【0021】

撮像装置はCMOSセンサーである。

【0022】

図23に於て、181は前述の繰返しの単位セル（図中の点線領域）であり、4画素分の大きさで、行、列方向に繰返し配置されている。ホトダイオード182a, 182b, 182c, 182dに入射された光は蓄積電荷である電子に変換され、ホトダイオード182a～182d中に蓄積される。蓄積された電荷は転送ゲート183a～dによってフローティングディフュージョン185に転送され、増幅手段であるMOS型アンプの入力ゲート186に運ばれる。この蓄積電荷によってMOS型アンプを流れる電流は変調を受け、その出力電流は垂直信号線187によって画素アレーから取出される。

【0023】

上記撮像装置（2次元画素アレー）のX-Yアドレッシングは、垂直信号線187と、走査線188a～d, 行選択線190によって行われている。また、これらの配線の他に電源VDDの配線191が垂直方向に、フローティングディフュージョン185と、入力ゲート186を所定の電圧にリセットするためのリセット線192が水平方向に配線されている。

【0024】

配線188～192はセル内の配線よりも上方に配置されており、従ってその分基本寸法はためである。この6本の不透明な配線188～192は光学的に不感領域となるため、分散配置された増幅手段はこれらの配線188～192の下に置かれる。そこで、ホトダイオードの位置を前記単位セル181の四角の方向に偏在して配置する事が考えられる。

【0025】

しかし、このような配置は図22(a)から明らかなように、光電変換部の配列が等ピッチとはならないために、それぞれの画素内の光を関知する領域（受光部）の間隔が等しくならず、次のような問題が生じる。

【0026】

すなわち、同色の等ピッチでない配列は、部分的に空間周波数、解像度が等しくないために、解像度の低下、モアレ縞等の不良を発生させる。また、モアレ縞の発生は非常に重大な問題であり、そのような撮像装置は、事実上製品として成

り立ち得ない。これは前記単位セルを構成する画素数が4以外の場合にも同様に成り立つ。

【0027】

本発明者らは上記の点に鑑み、さらに検討を進めた結果、複数画素中に分散された増幅手段を有するAPSに於ても、光電変換部のピッチを一定とすることによってそれぞれの受光部の間隔は等しくなり、解像度の低下とモアレ縞の発生を防止し、開口率等を向上させ、良好な性能を得ることができる撮像装置を見出した。

【0028】

以下、本発明の実施形態について図面を用いて説明する。

【0029】

図1は2行2列の画素が増幅手段12を共有する例を示す図である。

【0030】

図1では、前記共有する増幅手段12が前記4つの画素の中心に配置され、4つの光電変換部(a11, a12, a21, a22)が前記増幅手段12を取囲むように配置されている。

【0031】

しかも、前記増幅手段12の占める各画素に於ける領域と中心対称な位置に遮光部15が存在している。従って、各画素に於ける前記光電変換部11の重心は前記各画素の中心に存在する。これにより前記4つの光電変換部(a11~a22)は縦方向、横方向に等間隔aで配置出来ている。

【0032】

また図2では、前記共有する増幅手段22が前記4つの画素の横方向の中心部に配置され、4つの光電変換部21(a11, a12, a21, a22)が前記増幅手段22をはさむように配置されている。

【0033】

しかも、前記増幅手段12の占める各画素に於ける領域と中心対称な位置に遮光部25が存在している。従って各画素に於ける前記光電変換部11の重心は前記各画素の中心に存在する。これにより前記4つの光電変換部(a11~a22

)は縦方向、横方向に等間隔 a で配置出来ている。

【0034】

上述した図2の実施形態は、横方向と縦方向を入れ換えても全く同様に成立する。

【0035】

また図3では、4画素から成る繰返し単位セル30のうち、左上と右下に、解像度に最も効くG画素が配置されている。前記G画素に於ては前記セル30の中心に配置されている前記増幅手段32の占める領域と中心対称な位置に遮光部35が存在している。従って、G画素に於ける光電変換部31の重心は、前記G画素の中心に存在する。これにより前記G画素の光電変換部 a_{11} 、 a_{22} は、縦方向、横方向に等間隔 a で配置出来ている。

【0036】

R画素は前記セル30の右上に、B画素は前記セル30の左下に配置されている。これらは前記G画素のように特に考慮された遮光部は有しないものの、その単位セル30に於ける配置数が1のため、前記単位セルの間隔 $2a$ で等間隔に配置出来ている。

【0037】

図4は、前記図3に示した実施形態のバリエーションであり、前記G画素に於ける増幅手段と遮光部の占める領域が小さくなるように工夫したものである。

【0038】

また本発明者らは上記のような複数画素で1つの増幅手段を共有する撮像装置に有効なノイズ除去に用いられる信号読出回路も見出した。

【0039】

以上に述べた実施形態においては、複数の画素で共有する部分として増幅手段を開示したが、共有する部分は増幅手段に限るものではない。

【0040】

【実施例】

以下、本発明の実施例について図面を用いて詳細に説明する。

【0041】

最初に、図6に本発明における撮像装置を用いた撮像システムのブロック図を示す。同図に示すように、光学系71を通して入射した画像光はCMOSセンサー72上に結像する。CMOSセンサー72上に配置されている画素アレーによって光情報は電気信号へと変換される。その電気信号は信号処理回路73によって予め決められた方法によって信号変換処理され、出力される。信号処理された信号は、記録系、通信系74により情報記録装置により記録、あるいは情報転送される。記録、あるいは転送された信号は再生系77により再生される。CMOSセンサー72、信号処理回路73はタイミング制御回路75により制御され、光学系71、タイミング制御回路75、記録系・通信系74、再生系77はシステムコントロール回路76により制御される。

【0042】

(実施例1)

まず、実施例1について説明する。

【0043】

図5に上記CMOSセンサーの一画素分の回路構成図を示す。

【0044】

図5に於てa11～a22は光電変換部となるホトダイオード、MTX1～4はホトダイオードa11～a22に蓄積された信号電荷をフローティングディフュージョン（以下FDと記す。）に転送する転送用MOSトランジスタ、MRESはFDをリセットするリセット用MOSトランジスタ、MSF、MSELはソースフォロワ回路を構成するMOSトランジスタであり、MSELは画素を選択する選択スイッチとなっている。

【0045】

図7に本実施例のCMOSセンサーの画素アレー部の具体的なパターンレイアウト図を示す。

【0046】

図8に示すCMOSセンサーは端結晶シリュー基板上にレイアウトルール0.4 μ mによって形成されており、画素の大きさは8 μ m角であり、増幅手段であ

るソースフォロワンプは2行2列の4画素で共有されている。従って、図中点線領域で示した繰返し単位セル81の大きさは $16\mu\text{m} \times 16\mu\text{m}$ 角であり、2次元アレーが形成されている。

【0047】

光電変換部であるホトダイオード82a, 82b, 82c, 82dは各画素の中央に斜めに形成されており、その形状は上下左右でほぼ回転対称、鏡像対称である。また前記ホトダイオードの重心gは各画素に対して同一になるように設計されている。また95は遮光部である。

【0048】

88-aは左上の転送ゲート83-aを制御する走査線、90は行選択線、92はMOSゲート93を制御するリセット線である。

【0049】

ホトダイオード82a~d中に蓄積された信号電荷は転送ゲート83a~dを通してFD85に導かれる。ゲート83a~dのMOSサイズは $L=0.4\mu\text{m}$, $W=1.0\mu\text{m}$ (Lはチャネル長、Wはチャネル巾を示す。)である。

【0050】

FD85は巾 $0.4\mu\text{m}$ のA1配線によってソースフォロワの入力ゲート86に接続されており、FD85に転送された信号電荷は入力ゲート85の電圧を変調させる。入力ゲート86のMOSの大きさは $L=0.8\mu\text{m}$, $W=1.0\mu\text{m}$ であり、FD85と入力ゲート86の容量の和は5fF程度である。 $Q=CV$ であるから、 10^5 個の電子の蓄積によって入力ゲート86の電圧は、3.2V変化することになる。

【0051】

V_{DD} 端子91から流れ込む電流は入力ゲート86によって変調され、垂直信号線87に流出する。垂直信号線87に流出する電流は図示しない信号処理回路によって信号処理され、最終的には画像情報となる。

【0052】

その後、ホトダイオード82a~d, FD85, 入力ゲート86の電位を所定の値の V_{DD} とするために、リセット線82に接続されたMOSゲート83を開く

ことで、(このとき転送ゲート83a～dも開く) ホトダイオード82a～d, FD85, 入力ゲート86は V_{DD} 端子とショートされる。

【0053】

その後、転送ゲート83a～dを閉じる事でホトダイオード82a～dの電荷蓄積が再び始まる。

【0054】

ここで注目すべきは、水平方向に貫通する配線88a～d, 90, 92全ては透明な導体である厚さ1500ÅのITO (Indium Tin Oxide) で形成されているために、前記配線部分のうち、ホトダイオード82a～d上では光が透過するため、前記ホトダイオードの重心gは光を感知する領域(受光部)の重心と一致する事である。

【0055】

本実施例によれば画素ピッチが等しい比較的高面積率、高開口率なCMOSセンサーを提供する事が出来る。

【0056】

(実施例2)

第2の実施例について説明する。

【0057】

本発明の第2の実施例である撮像装置の具体的なパターンレイアウト図を図8に示す。

【0058】

図9に於て、102a～dはホトダイオード、103a～dは転送ゲート、105はFD、106はソースフォロワの入力ゲート、107は垂直信号線、108a～dは走査線、110は行選択線、112はMOSゲート113を制御するリセット線である。

【0059】

本実施例に於ては水平方向に走る配線108a～d, 110, 112が3本づつ各画素の中心を横切るように走っているために、前記ホトダイオード102a～dに入射する光を妨げるような金属配線であっても、光を感知する領域の重心

g の移動は生じず、従って前記画素の中心と一致する。

【0060】

本実施例によれば電気抵抗が小さな通常の（不透明な）金属を使用できるため、前記横方向の配線の時定数が改善され、更に高速な撮像装置を提供する事が出来る。

【0061】

以上の実施例では、遮光膜の下の部分が有効利用されているため、図9に示すように遮光膜の下の部分にまで光電変換部であるホトダイオードを形成し、電荷蓄積部として機能させることも可能である。

【0062】

（実施例3）

第3の実施例について説明する。

【0063】

上述の第2実施例に於ては、最も光集光効率が良い画素の中心を横切るために、撮像装置の感度の低下が懸念される。そこで更に改善された実施例を図10に示す。

【0064】

本実施例に於ては転送ゲート123a～d、FD125、ソースフォロワの入力ゲート126、リセット用のMOSゲート133全てが横方向を走る配線（走査線128a～d、行選択線130、リセット線132）下に形成されているため、ホトダイオード122a～d、及びその開口を最大とする事が出来る。しかも、その開口部は各画素の中心に連続して存在する。また遮光部は水平、垂直配線部分に形成されている。

【0065】

また本実施例に於ては前記増幅手段であるソースフォロワとリセット用のMOSトランジスタを各画素の周辺の水平方向に分割して配置したためにコンパクトに前記水平方向の配線下に配置可能となっている。

【0066】

また右上の画素の配線下には未使用のスペースが未だ存在するため、例えばス

マートセンサー等、新規の構成を追加する事も可能である。

【0067】

本実施例によれば、ホトダイオードの面積、及び開口率が大きく取れる事から、広ダイナミックレンジ、高感度な撮像装置を提供する事が出来る。また、将来微細化が進み、前記ホトダイオードの開口部分の寸法が光の波長程度になっても光が入射しなくなるといった恐れは生じにくく、永らくその性能を発揮する事が出来る。

【0068】

また、以上の実施例では、増幅手段は単位セルの中心部に配置し、光を感知する領域の重心と、画素の中心は一致したものであるが、これらに限られず、図11に示したような開口部が並進対称となっている構成のものでもよい。

【0069】

つまり、開口部が並進対称となっていることにより、光を感知する領域は、等ピッチとなるためである。

【0070】

(実施例4)

第4の実施例について説明する。

【0071】

図12に第4の実施例である、撮像装置の具体的なパターンレイアウト図を示す。

【0072】

本実施例は使用する色の位置が決っており、左上と右下が輝度に最も影響を与えるG画素であり、右上がR画素、左下がB画素である。

【0073】

本実施例に於てはG画素のホトダイオード142a, dが面積及び開口率が最大となるように増幅手段及びその他が配置されている。

【0074】

またG画素に於ける光を感知する領域の重心gは各画素中心と一致しているため、G画素の等ピッチ性は確保されている。

【0075】

本実施例によれば高感度な撮像装置を提供する事が出来る。

【0076】

また人間の目に於ては、輝度の解像度の方が色の解像度よりも高く、また暗所では色が消失し、被写体の明暗のみ見えるという状態に類似した特性をも実現する事が出来る。

【0077】

(実施例5)

第5の実施例について説明する。

【0078】

本発明の第4の実施例を示す図を図13に示す。

【0079】

図13において、単位セル201のそれぞれの画素には、オンチップレンズ202が形成されている。そして外界からの光は、このオンチップレンズで集光されて開口部203内に入射する。ここで204は、オンチップレンズによって集光された受光部である。

【0080】

ここで、オンチップレンズを調整することにより、受光部の位置は自由度をもたせることが可能である。

【0081】

このため、複数の画素で共有の増幅手段とした場合に、光電変換部であるフォトダイオードを等ピッチに形成することが出来なくとも、オンチップレンズを調整することによってそれぞれの受光部間は等ピッチとすることが可能となる。

【0082】

また、撮像装置に使用している撮像レンズがテレセントリックでない場合には、センサチップに入射する光は、チップ中央と外周では入射角度（光軸）が異なる。このため、実施例1又は実施例2において、外周部分のみ開口部を不等ピッチにすることにより、センサチップ全体にわたって光を感知する領域は、等ピッチにすることも可能である。

【0083】

以上に述べたように、実施例1から実施例4までは、光学的部材である遮光部を調整することにより、光を感知する領域（受光部）を等ピッチにしている。また実施例5では、光学的部材であるレンズを調整することにより、光を感知する領域（受光部）を等ピッチにしている。

【0084】

（実施例6）

第6の実施例について説明する。

【0085】

本実施例では信号処理回路部を含む本発明に係わる撮像装置について説明する。図14に本実施例の信号処理回路部を含む撮像装置の等価回路図を示す。

【0086】

又、図15にタイミングチャートを示す。

【0087】

垂直ブランキング期間を表わすクロック $\phi V(n)$ によって垂直走査が開始される。まず1行目のリセット線 ϕTX_{R0} が水平ブランキング期間（ ϕHBL ハイ）中に活性化し、次いで2行目、3行目が同様に行われる。これにより、各行の画素がリセット電位である V_{DD} にリセットされる。（図6）

【0088】

各水平期間中には図15に示したように、期間 T_1 では ϕRv ハイによって前記垂直信号線157に接続するリセット用 $Tr160$ がオンし、前記垂直信号線157がリセットされる。それと共に ϕTN 、 $\phi TS1$ 、 $\phi TS2$ ハイによって各ゲート $Tr162$ がオンし、信号読出用 $Tr164$ 以前までの配線と蓄積容量163が前記垂直信号線と導通し、同様にリセットされる。これにより、前記蓄積容量163等に蓄積していた電荷が除去される。次いで期間 T_2 で前記リセット線 ϕTX_{R0} ハイによって画素中のソースフォロワーアンプの入力ゲートであるフローティングゲートが V_{DD} にリセットされる。次いで期間 T_3 で、 ϕL ハイにより、前記信号線157に接続する接地用 $Tr161$ がオンし、前記信号線157が接地される。それと共にノイズ成分を蓄積するための蓄積容量 $CTN163$

を前記信号線 57 に接続するために、 ϕTN ハイとし、前記ゲート $Tr162$ をオンさせる。その時には行選択線 ϕSO はハイとなっており、前記フローティングゲートの電位 ($\sim V_{DD}$) に応じた電流が V_{DD} 端子から前記 CTN へ向かって流れ込む事によって、前記蓄積容量 CTN はノイズ成分の電荷を保持するようになる。

【0089】

次に期間 T_4 で奇数列走査線 ϕTX_{000} ハイによって前記画素中にある奇数列転送ゲートがオンし、ホトダイオード $a11$ 中の画像光に対応する蓄積電荷が前記フローティングゲートに転送される。その時は前記信号線 157 にぶら下る容量はノイズ用の CTN ではなく、 $CTS1$ となっており、同様にして前記 $a11$ に相当する奇数列の信号 1 成分の電荷が前記蓄積容量 $CTS1$ に保持される。

【0090】

次に期間 T_5 では ϕRV ハイによって信号線 157 のみがリセットされる。他の回路は ϕSO 、 $\phi TN \sim \phi TS2$ がロウであるのでリセットの影響は受けず、その状態は保持されたままである。

【0091】

次に、期間 T_5 と期間 T_6 の間でリセット線 62 に印加される信号 ϕTX_{Ro} がハイレベルとなって画素中の入力ゲートが V_{DD} にリセットされる。

【0092】

期間 T_6 では今度は走査線 ϕTX_{oeo} ハイによってホトダイオード $a12$ の蓄積電荷が転送され、同様にして信号電荷が蓄積容量 $CTS2$ に保持される。

【0093】

このようにして、1 行分のノイズ成分、ホトダイオード $a11$ 信号成分、ホトダイオード $a12$ 信号成分の電荷が CTN 、 $CTS1$ 、 $CTS2$ に各列毎に蓄積される。

【0094】

期間 T_7 に於ては、各列の $CTN \sim CTS2$ に蓄積された電荷を各々順次増幅アンプ 166 に転送するため、水平走査パルス ϕHc を各列毎に順次ハイとする事によって各列毎に配置されたゲート $Tr164$ をオンし、前記各列毎に蓄積容

量CTN~CTS2と前記増幅アンプを導通させる。前記増幅アンプを通過したノイズ成分と、ホトダイオード a_{11} の信号、ホトダイオード a_{12} の信号成分は、差動アンプ167によって前記ホトダイオード a_{11} の信号成分からノイズ成分が光れた成分S1と、前記ホトダイオード a_{12} の信号成分からノイズ成分が引かれた成分S2とが最終的に出力される。

【0095】

また期間7は、前記ホトダイオードの光電荷蓄積が行われる期間でもある。

【0096】

さらに、ホトダイオード a_{21} 、 a_{22} からの信号成分からノイズ成分を引いた成分を得る場合においても、今回は、 ϕTX_{ooo} 、 ϕTX_{oeo} の変わりに ϕTX_{ooe} 、 ϕTX_{oee} をハイにすることを除けば、上述に述べたのと同様の動作で行うことができる。

【0097】

(実施例7)

実施例7について説明する。

【0098】

本実施例の信号処理回路部を含む撮像装置の等価回路図を図16に示す。

【0099】

本実施例に於ては前記信号蓄積用の蓄積容量CTS1~CTS4 63が4個設けられており、各々の容量63に対して異った信号情報を記憶する事が可能である。より具体的にはCTS1には画素 a_{11} の、CTS4には画素22の信号電荷を蓄積する事が出来る。従って増幅アンプ66以降の信号処理が半分の速度で良くなり、その分、前記増幅アンプ66及び差動アンプ67、及び図示しない後板の信号処理系の信号処理が実施例6に比べて半分の速度で良くなる。その分回路に使用する素子の速度を低下させる事が出来、より低下、低性能安価な素子及び回路を使用可能となり、システム系全体のコストダウンを見込む事が出来る。

【0100】

また、前記蓄積容量に蓄積する電荷は何も各ホトダイオードからの直接の出力

である必要はなく、各画素に付随する転送ゲート、及びリセットゲートのクロックを工夫する事で、公知のように前記各ホトダイオードの信号電荷の加算が可能である。例えばCTS1には画素a11のGの光情報、CTS2には画素a22のGの光情報、CT3には画素a12+a21のR+Bの光情報といった信号の取出方も可能となっている。本実施例に於ては、各画素をよりインテリジェントに使用するスマートセンサーに於ても充分に力を発揮出来る構成となっている。

【0101】

以上述べた実施例6、実施例7では、それぞれの単位セル毎の増幅手段の特性のばらつきによるノイズを除去することが可能となる。

【0102】

(実施例8)

実施例8について説明する。

【0103】

図17で、本実施例をノンインタレースで駆動した時のタイミングを説明する。

【0104】

水平ブランキング期間(HBLK)に、画素で光電変換された信号の転送と、光電変換の初期状態へのリセット動作を行う。

【0105】

期間 T_1 では、パルス ϕV で垂直信号線をリセットし、信号線上の残留電荷の除去を行うとともに、パルス $\phi TN1$ 、 $\phi TN2$ 、 $\phi TS1$ 、 $\phi TS2$ で一時蓄積用メモリCTN1、CTN2、CTS1、CTS2上の残留電荷の除去を行う。

【0106】

期間 T_2 では1行目の画素行(a_{11} , a_{12} , \dots , a_{1n})のなかで、まず奇数番目の光電変換信号を転送する前段階として、共通アンプのゲート部をパルス ϕTX_{R0} でリセットし残留電荷を除去する。除去した後ゲート部にはリセットノイズが残る。

【0107】

期間 T_3 では、 T_2 期間でのリセットノイズと共通アンプのオフセット電圧をメモリCTU1へ転送する期間である。パルス ϕ_{SO} で共通アンプの出力部を垂直信号線へ接続し、また共通アンプを動作状態にするためにパルス ϕ_L で負荷MOS Trを導通させ、パルス ϕ_{TN1} で垂直信号線とメモリを接続させる。メモリにはノイズ(N)として蓄積される。

【0108】

期間 T_4 では、奇数番目($a_{11}, a_{13}, \dots, a_{1n}$)の光電変換信号をメモリCTS1へ転送する期間である。パルス ϕ_L , ϕ_{TS1} , ϕ_{SO} により共通アンプからメモリまでが導通状態となる。

【0109】

パルス $\phi_{TX_{oo}}$ で光電変換信号は、受光部から共通アンプのゲート部へ転送される。この時点でゲートには T_2 期間でのリセットノイズに上記光電変換信号が加算されることになる。このゲート電圧は、共通アンプのオフセット電圧に重畳し、メモリ上では信号($S+N$)として蓄積される。

【0110】

期間 $T_5 \sim T_8$ では、この期間は偶数番目($a_{12}, a_{14}, \dots, a_{1n-1}$)の光電変換信号をメモリ T_{S2} へ転送する駆動を行う。基本動作は前述の $T_1 \sim T_4$ 期間と同じである。異なるのは $\phi_{TX_{oo}} \rightarrow \phi_{TX_{oe}}$, $\phi_{TN1} \rightarrow \phi_{TN2}$, $\phi_{TS1} \rightarrow \phi_{TS2}$ のパルス制御である。

【0111】

期間 T_9 では、垂直信号線と共通アンプと転送MOS間の残留電荷を除去させることによりリセットノイズと光電変換信号の転送の基本動作を終了させる。

【0112】

上述の駆動で各メモリ上にはノイズ N_1 , N_2 , 信号 $S_1 + N_1$, $S_2 + N_2$ が蓄積されている。これらのノイズと信号は T_{10} 期間に水平シフトレジスタからのパルス ϕ_{H1} , ϕ_{H2} で水平出力線の転送される。出力アンプA1で $(S_1 + N_1) - N_1$ の減算が行なわれ、信号 S_1 が出力され、また出力アンプA2で $(S_2 + N_2) - N_2$ の減算が行なわれ信号 S_2 が出力される。

【0113】

これで画素行 ($a_{11} \cdots a_{1n}$) の光電変換信号のみが得られたことになる。画素行の蓄積は T_4 , T_8 期間で光電変換信号をゲート部へ転送した時点で光電変換を開始している。

【0114】

次の水平ブランキング期間では2行目の画素行の動作が1行目と同様に行なわれる。2行目の画素行の動作終了により4画素を単位とした共通アンプは、次の動作が行なわれる一垂直期間後まで非導通状態になる。

【0115】

図18で、2行同時駆動を行う場合は、メモリ (CT_{N1} , CT_{S1} , CT_{S2}) と出力差動アンプ ($A1$, $A2$) をもう一列増すことで容易に出来る。即ちノンインタレース駆動で、1H毎に画素行へ1行分の駆動を行っていたが、これを1H期間内に2画素行分行なえば良い。

【0116】

図6に垂直タイミングの概略図を示す。

【0117】

一垂直期間に上述水平期間の動作が、垂直方向画素分の駆動が順次行なわれる。垂直シフトレジスタは1H毎に駆動パルス ϕTX_{oo} , ϕTX_{oe} , ϕTX_{RO} , ϕS パルスを行毎に出力する。

【0118】

以上のように、実施例8では、上述した実施例6、実施例7のような、増幅手段の特性のばらつきによるノイズを除去するのみでなく、さらにリセットノイズも除去することが可能となる。

【0119】

(実施例9)

実施例9について説明する。

【0120】

本発明は何も図24に示したような一般的なCMOSセンサーに使用するだけでなく、図25に示したISSCC98/SESS:ON11/IMAGESE

MSORS/PAPER Fall. 8pp182に開示されているイメージセンサーその他にも応用する事が出来る。

【0121】

その際の4つの画素に共有するアンプの構成としては例えば図20のような回路が考えられる。

【0122】

(実施例10)

実施例10について説明する。

【0123】

本実施例では画素の共通アンプに付加機能を設けた共通回路について述べる。

【0124】

図21に共通回路実施例図を示す。

【0125】

共通アンプの後段にはメモリ回路、差動アンプ、コンパレータがある。メモリに前記実施例で述べたノイズを一時蓄積し、アンプの(+)側に信号(S-N)を転送し、両者の差動をとれば信号のみ(S)が得られる。この信号を垂直信号線に出力する。あるいは目的によっては、後段のコンパレータで2値化することが出来る。

【0126】

また、コンパレータをADコンバータにすれば、AD出力を得ることができる。AD出力はシリアル出力、パラレル出力のどちらでも良く、目的によって回路構成を変えれば良い。

【0127】

【発明の効果】

以上説明したように、本発明によれば、解像度の低下、モアレ縞の発生といった性能低下を生じることがなく、開口率が大きく感度が高く、多機能を内蔵可能な高歩留な撮像装置を実現することが出来る。

【図面の簡単な説明】

【図 1】

本発明の画素部レイアウトを示す図である。

【図 2】

本発明の画素部レイアウトを示す図である。

【図 3】

本発明の画素部レイアウトを示す図である。

【図 4】

本発明の画素部レイアウトを示す図である。

【図 5】

CMOS センサーの単位セルの回路構成図を示す。

【図 6】

本発明の撮像装置を用いた撮像システムのブロック図である。

【図 7】

本発明の一実施例のパターンレイアウト図である。

【図 8】

本発明の一実施例のパターンレイアウト図である。

【図 9】

本発明の一実施例を表す図である。

【図 10】

本発明の一実施例のパターンレイアウト図である。

【図 11】

本発明の一実施例を表す図である。

【図 12】

本発明の一実施例のパターンレイアウト図である。

【図 13】

本発明の一実施例を表す図である。

【図 14】

本発明の一実施例の信号処理回路図である。

【図 15】

本発明の一実施例のタイミングチャートである。

【図 16】

本発明の一実施例の信号処理回路図である。

【図 17】

本発明の一実施例の信号処理回路図である。

【図 18】

本発明の一実施例のタイミングチャートである。

【図 19】

本発明の一実施例のタイミングチャートである。

【図 20】

本発明の一実施例を表す図である。

【図 21】

本発明の一実施例を表す図である。

【図 22】

撮像装置の画素部のレイアウト図である。

【図 23】

図 22 の撮像装置のパターンレイアウト図である。

【図 24】

CMOS センサーの単位セルの回路構成図を示す。

【図 25】

従来の CMOS センサーの画素部の回路構成図である。

【符号の説明】

- 1 1 光電変換部
- 1 2 共通画素アンプ部
- 1 5 遮光部
- 2 1 光電変換部
- 2 2 共通画素アンプ部
- 2 5 遮光部

31 光電変換部

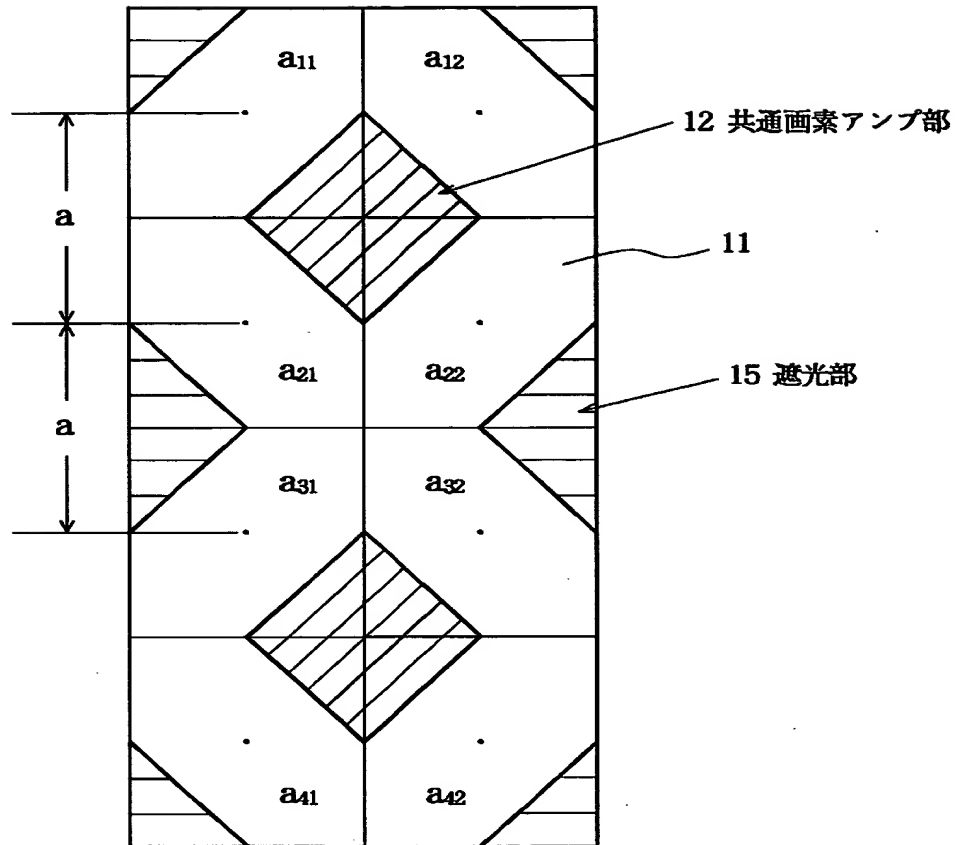
32 共通画素アンプ部

35 遮光部

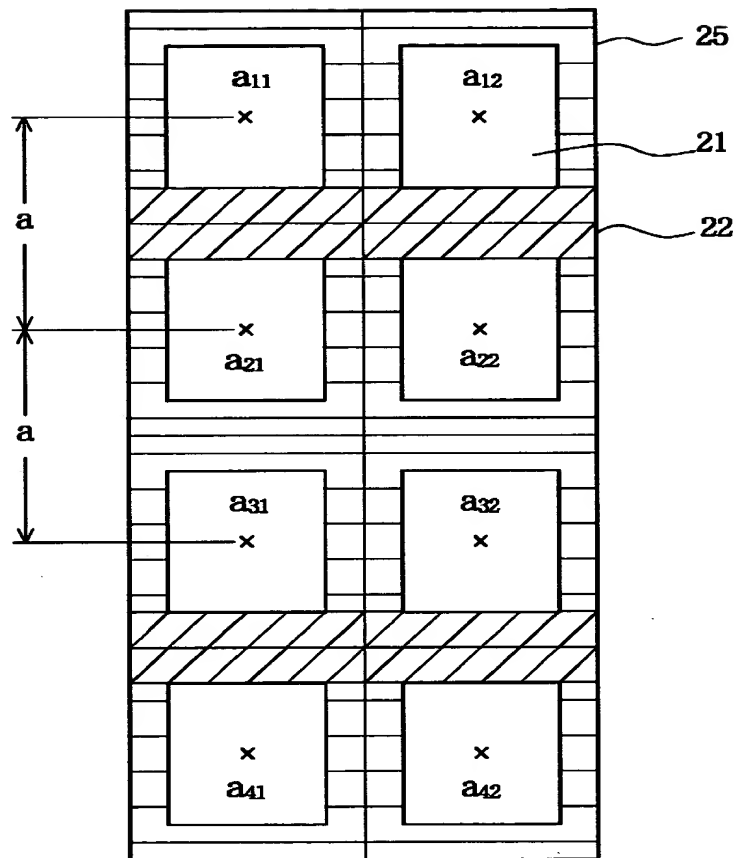
202 オンチップレンズ

【書類名】 図面

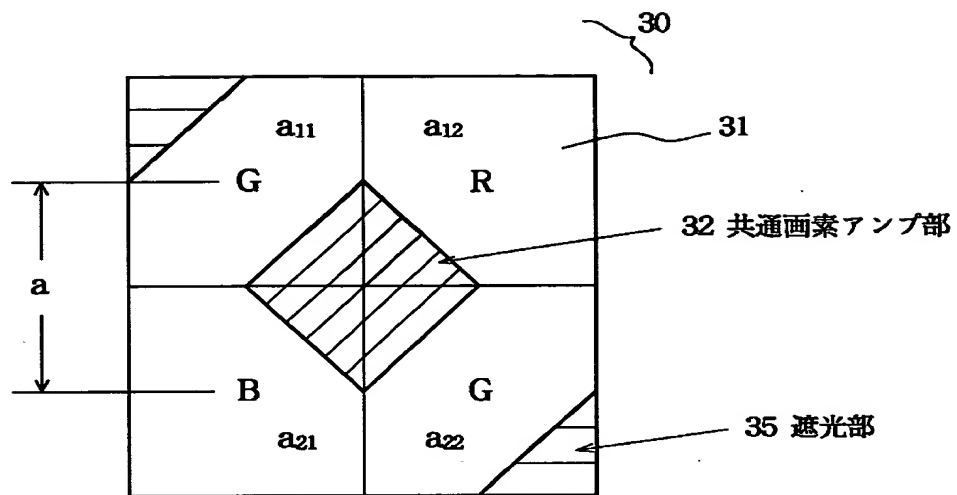
【図 1】



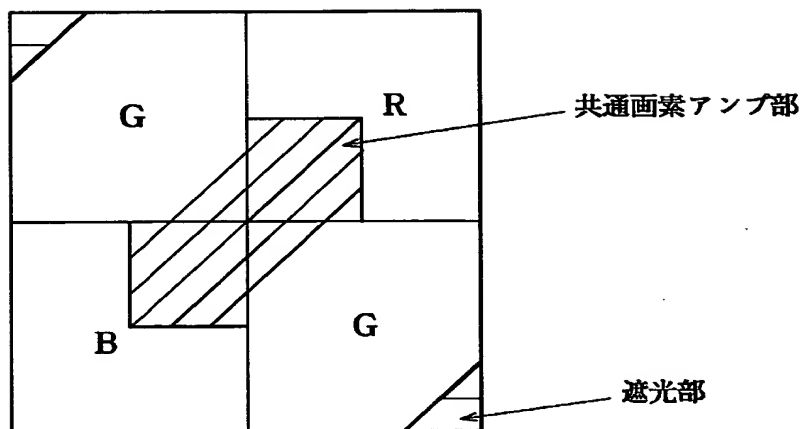
【図 2】



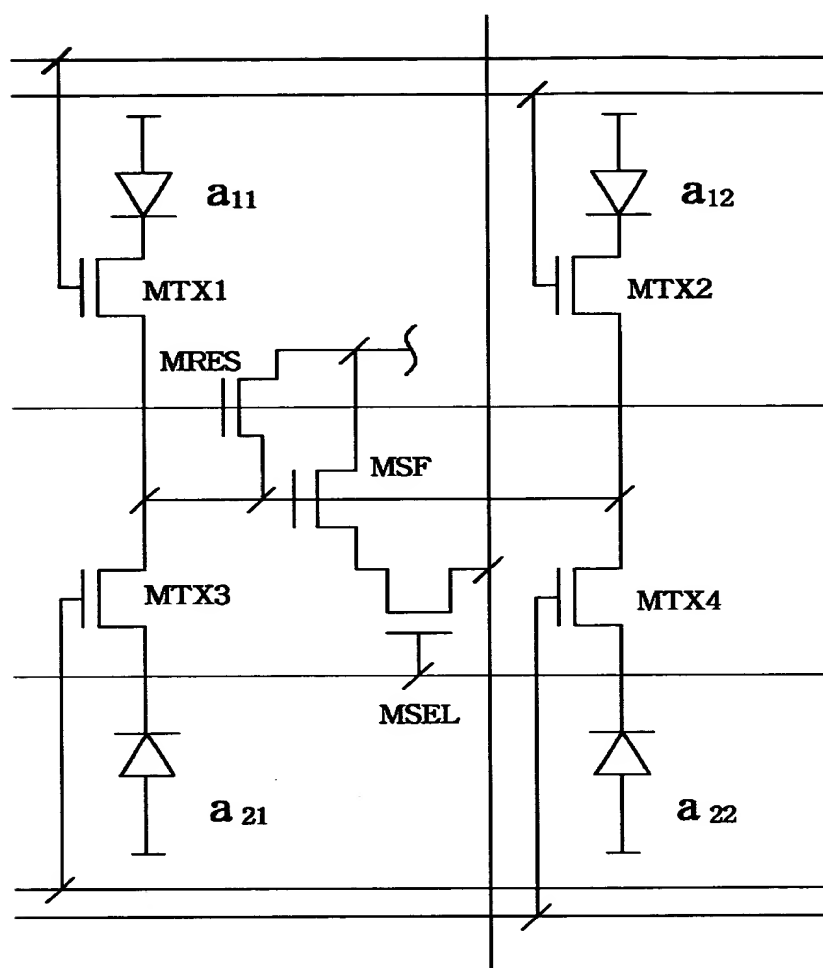
【図 3】



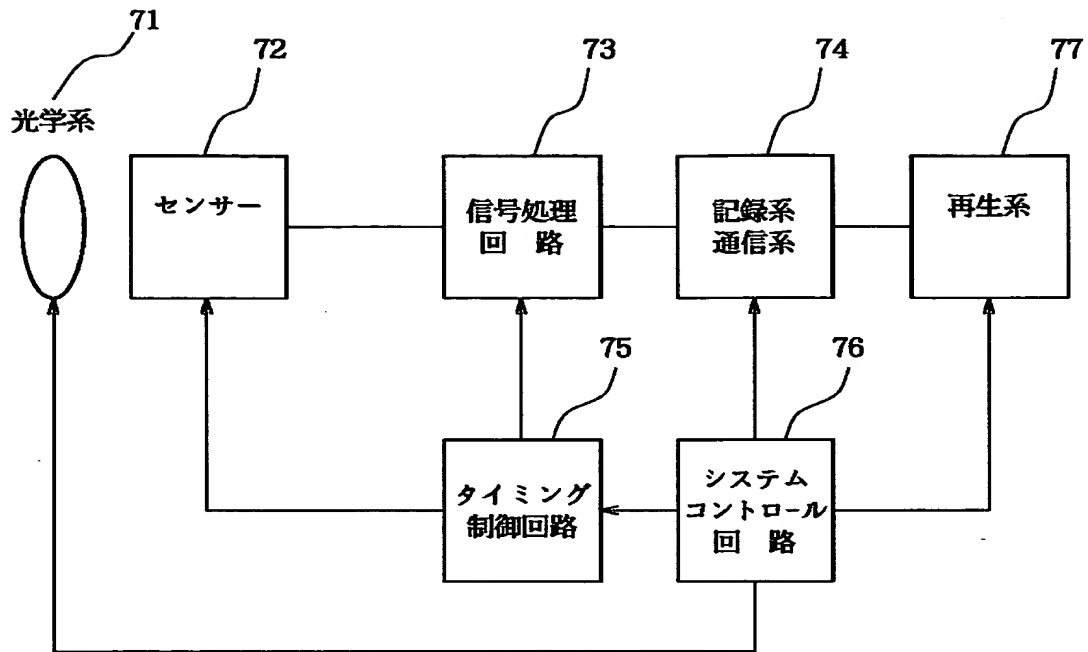
【図4】



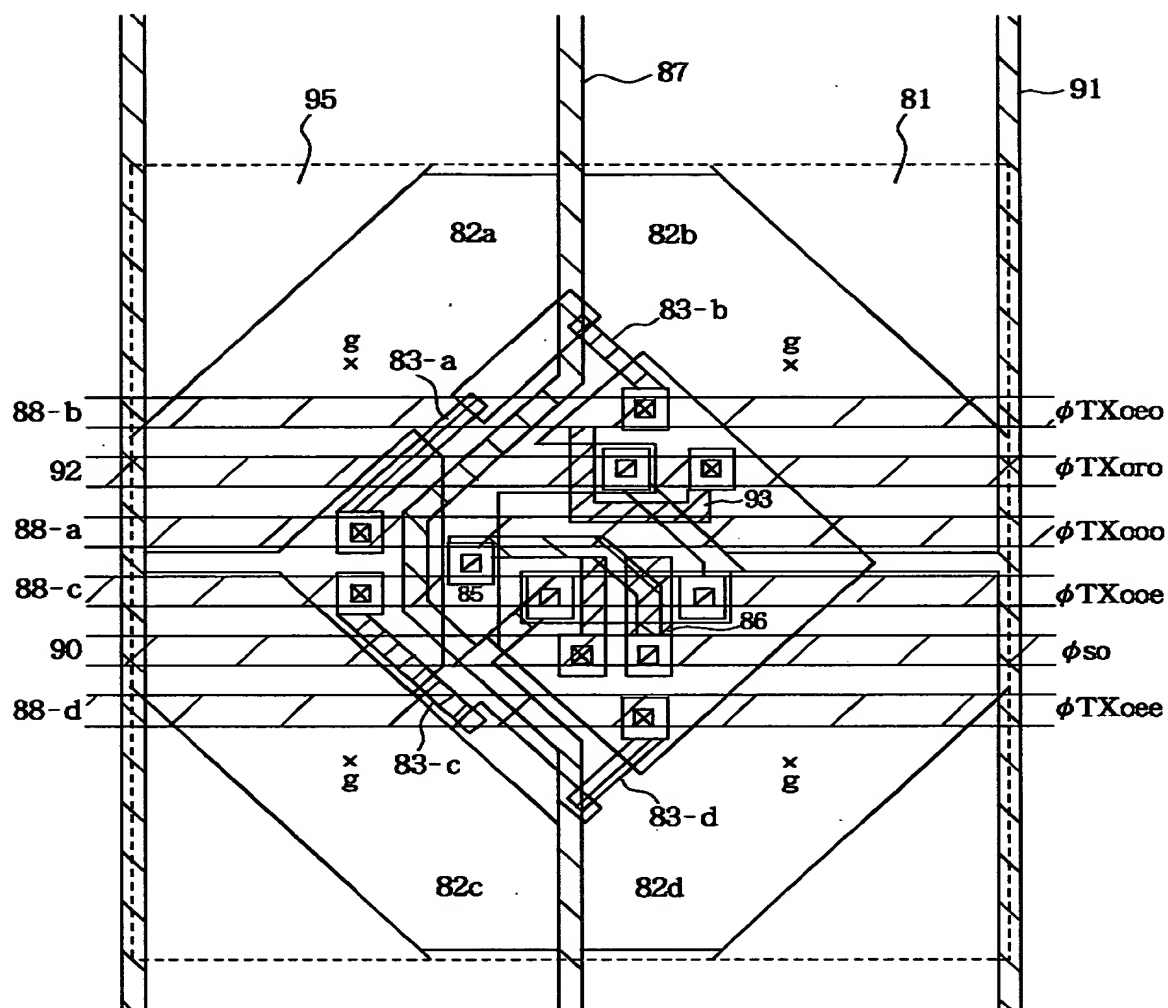
【図 5】



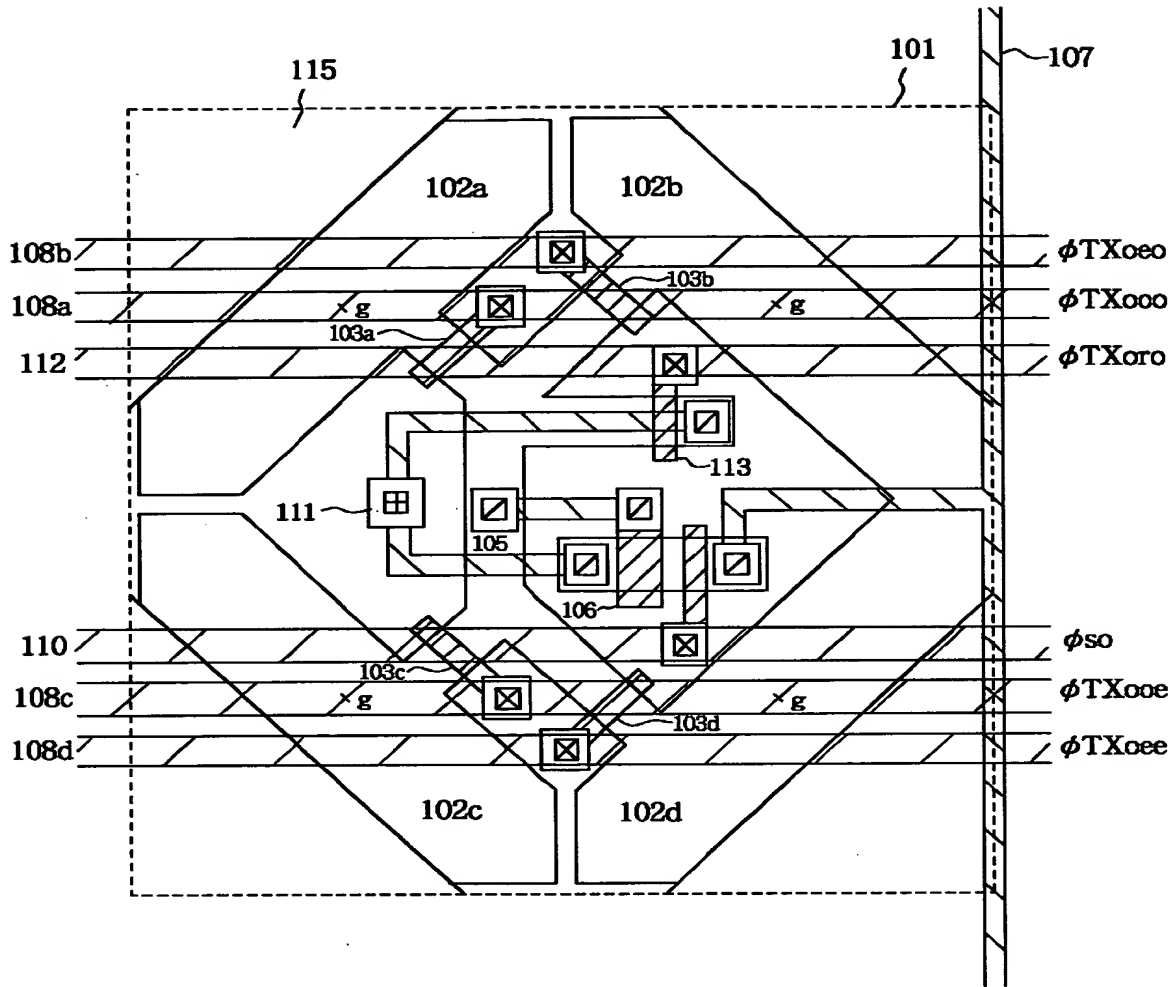
【図 6】



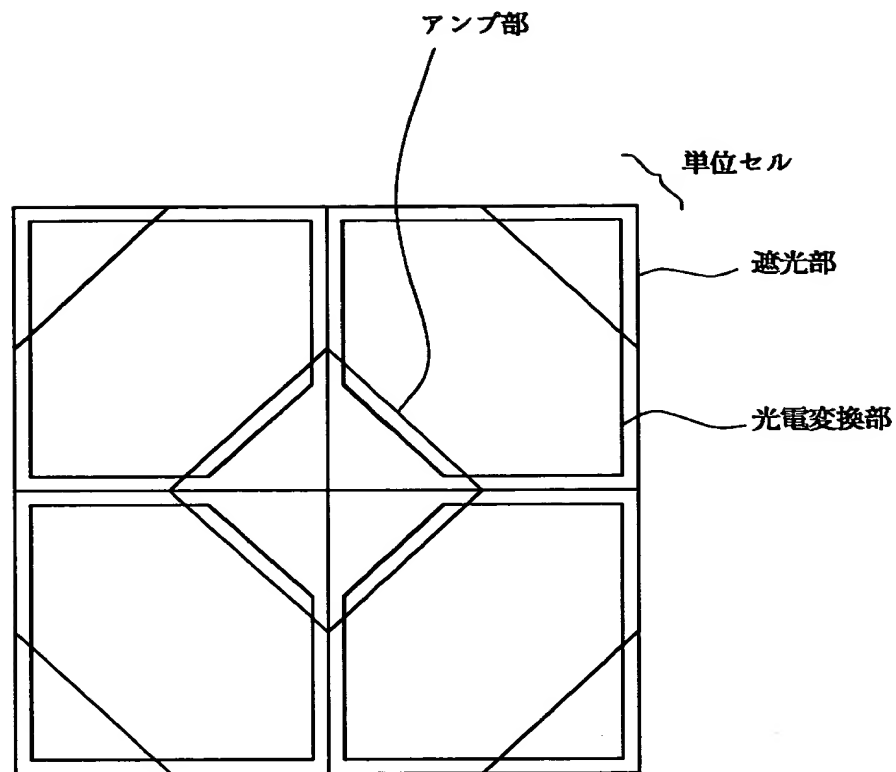
【図 7】



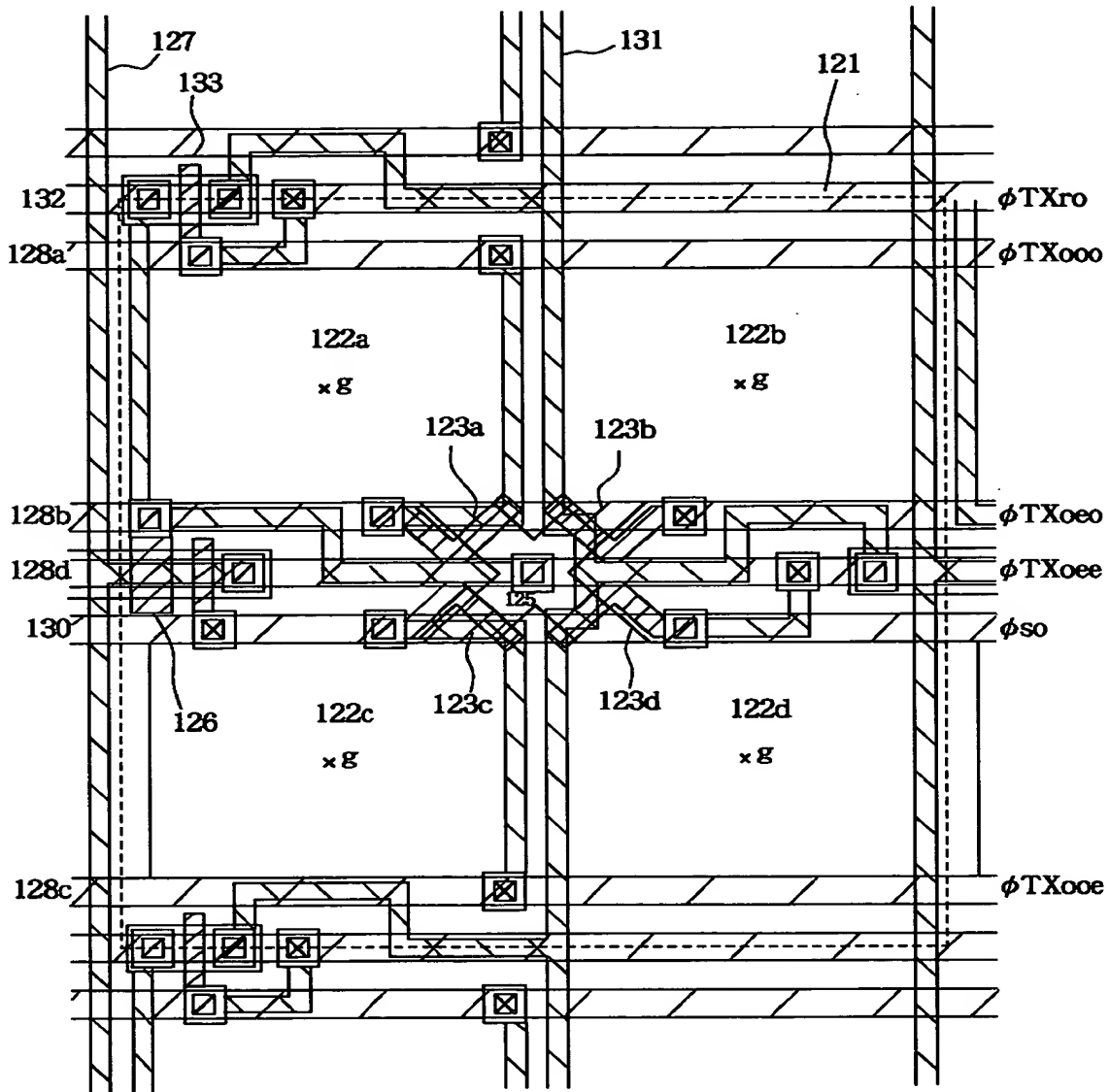
【図 8】



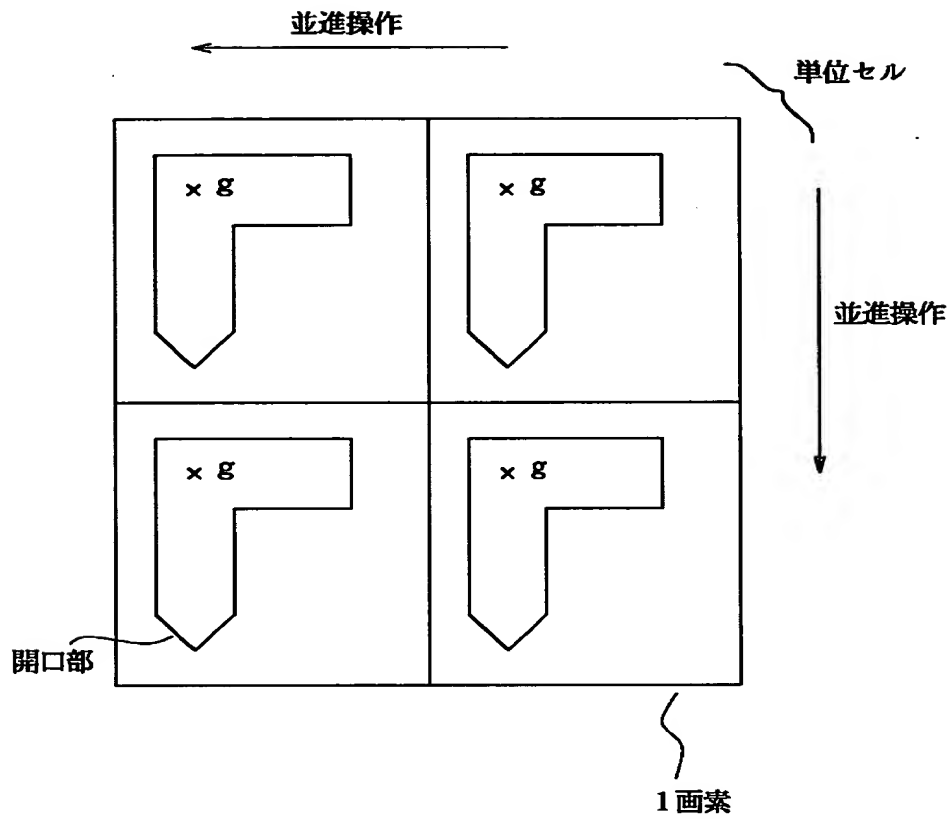
【図 9】



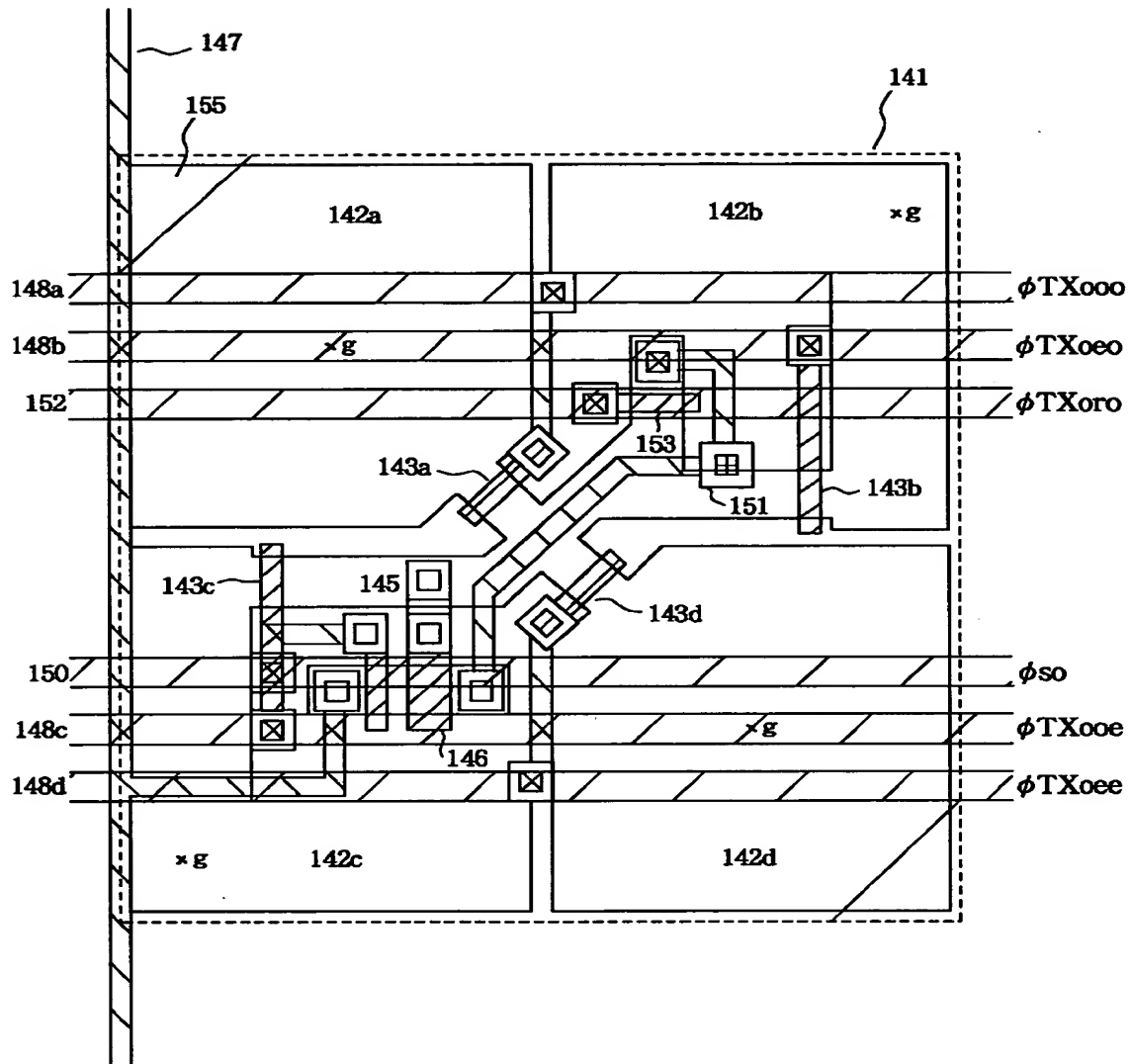
【図 10】



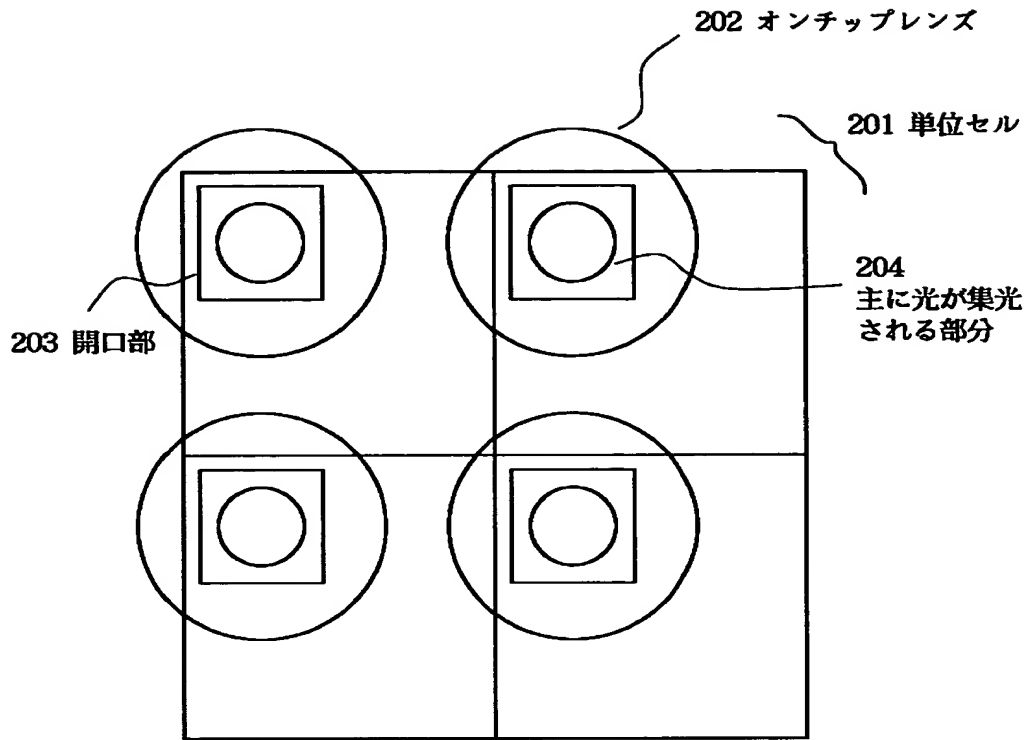
【図 1 1】



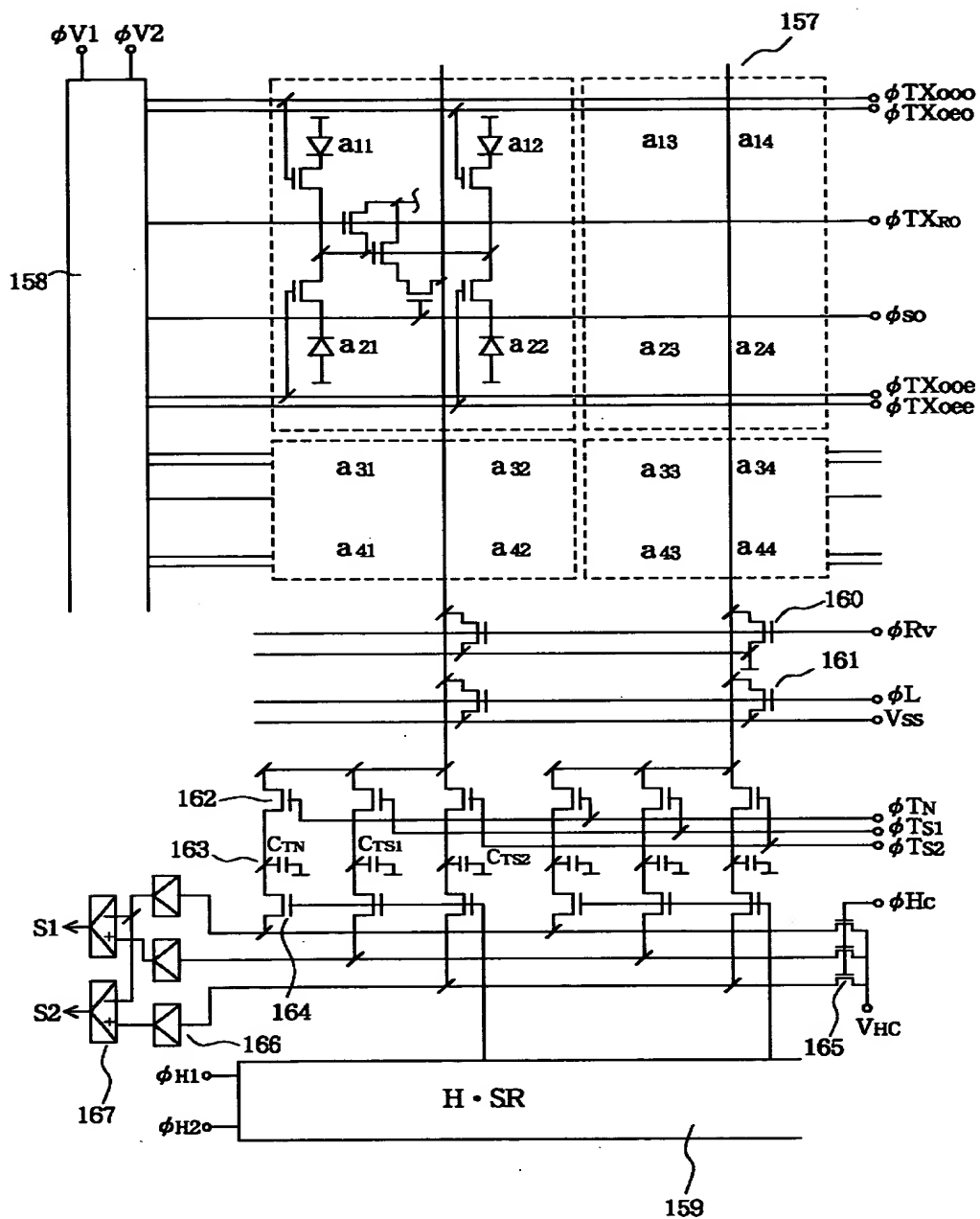
【図 12】



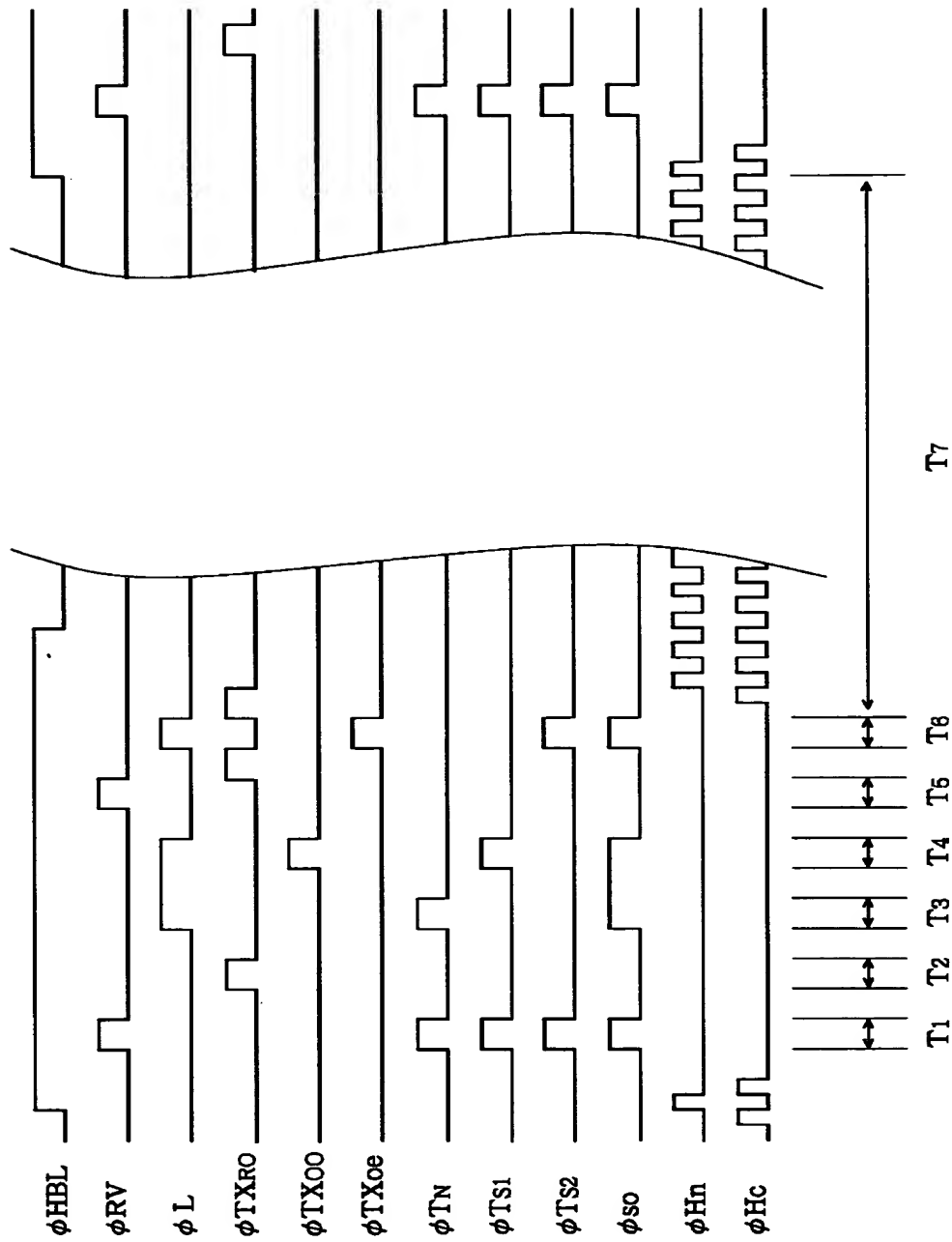
【図 13】



【図 14】

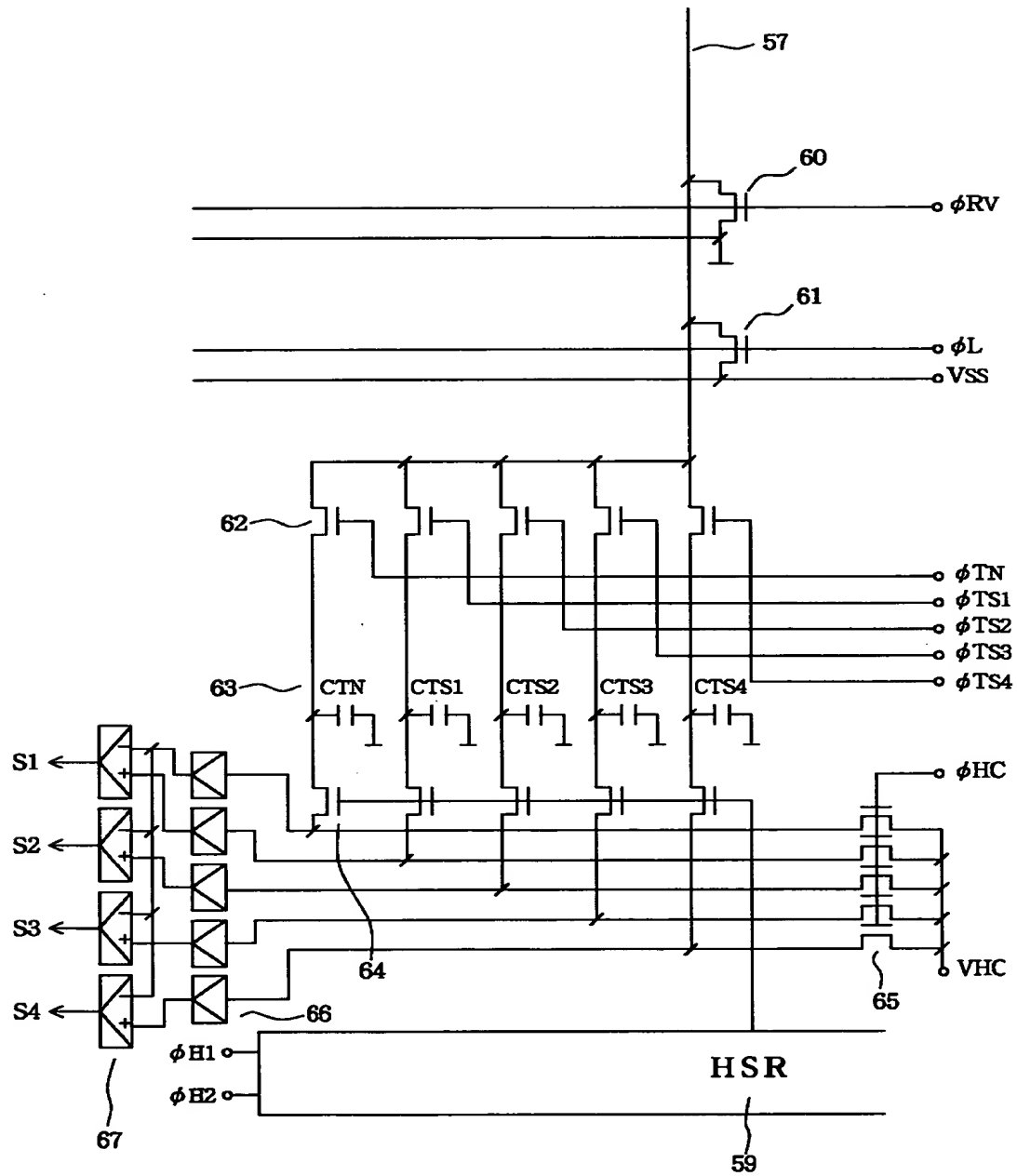


【図 15】

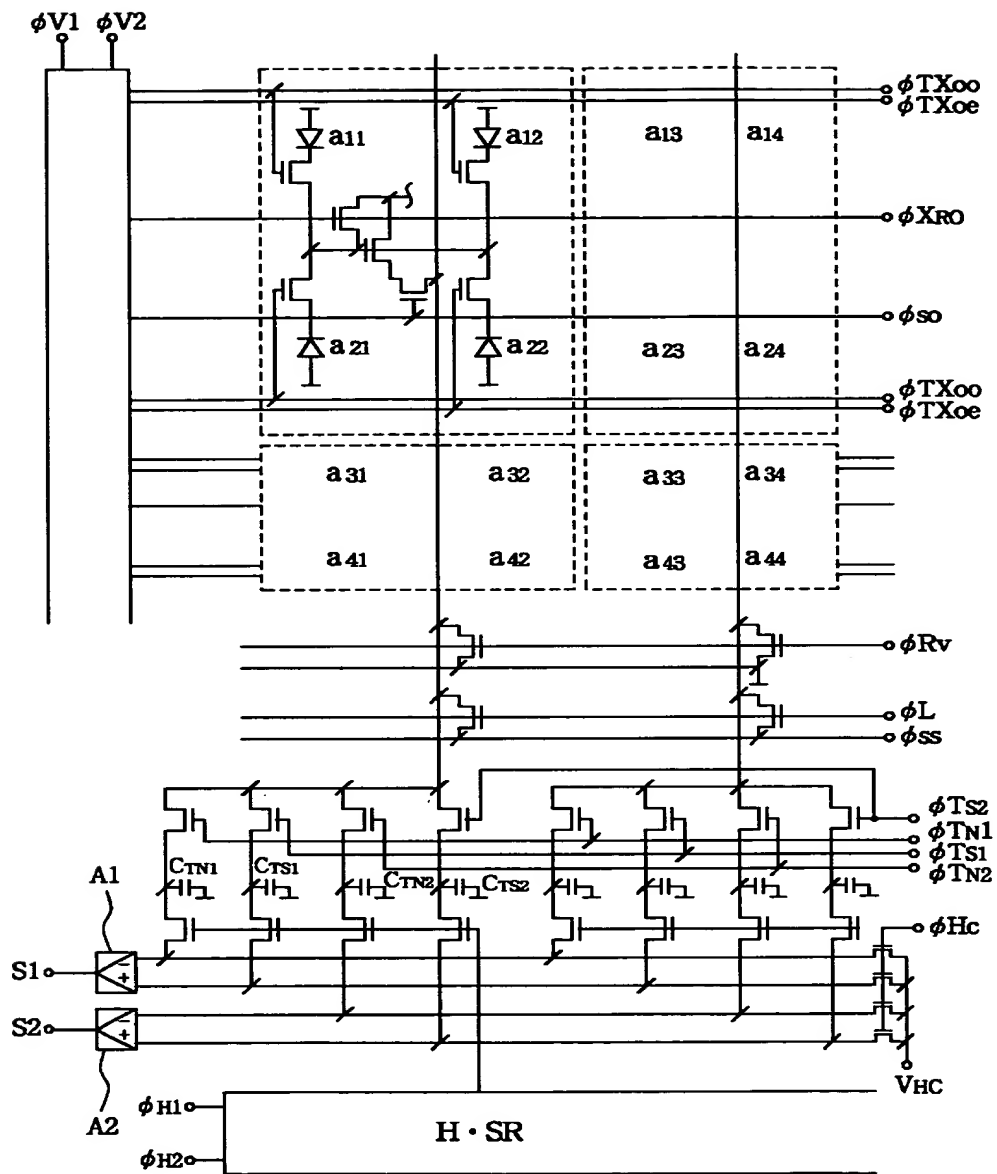


水平期間でのタイミング図

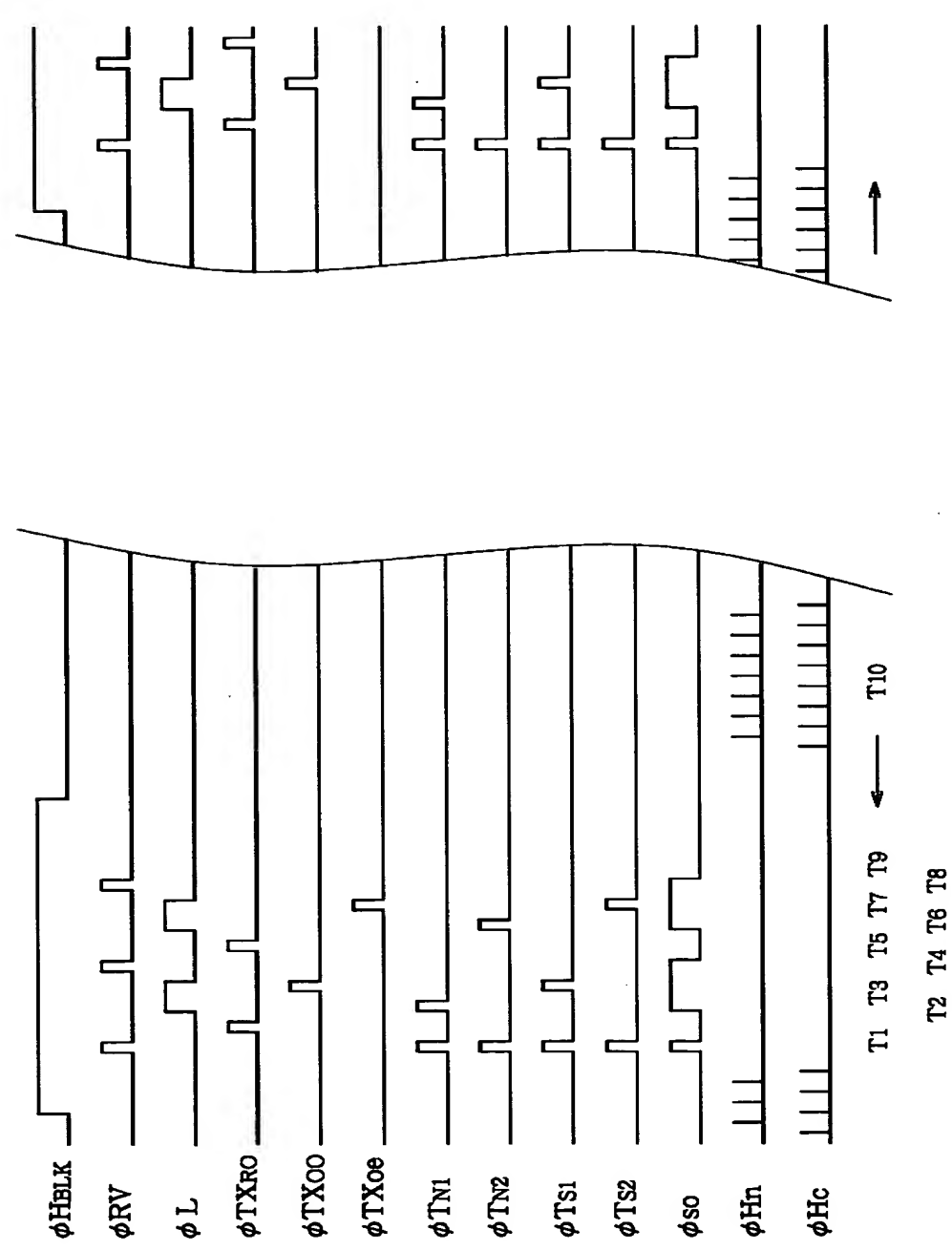
【図 16】



【図 17】

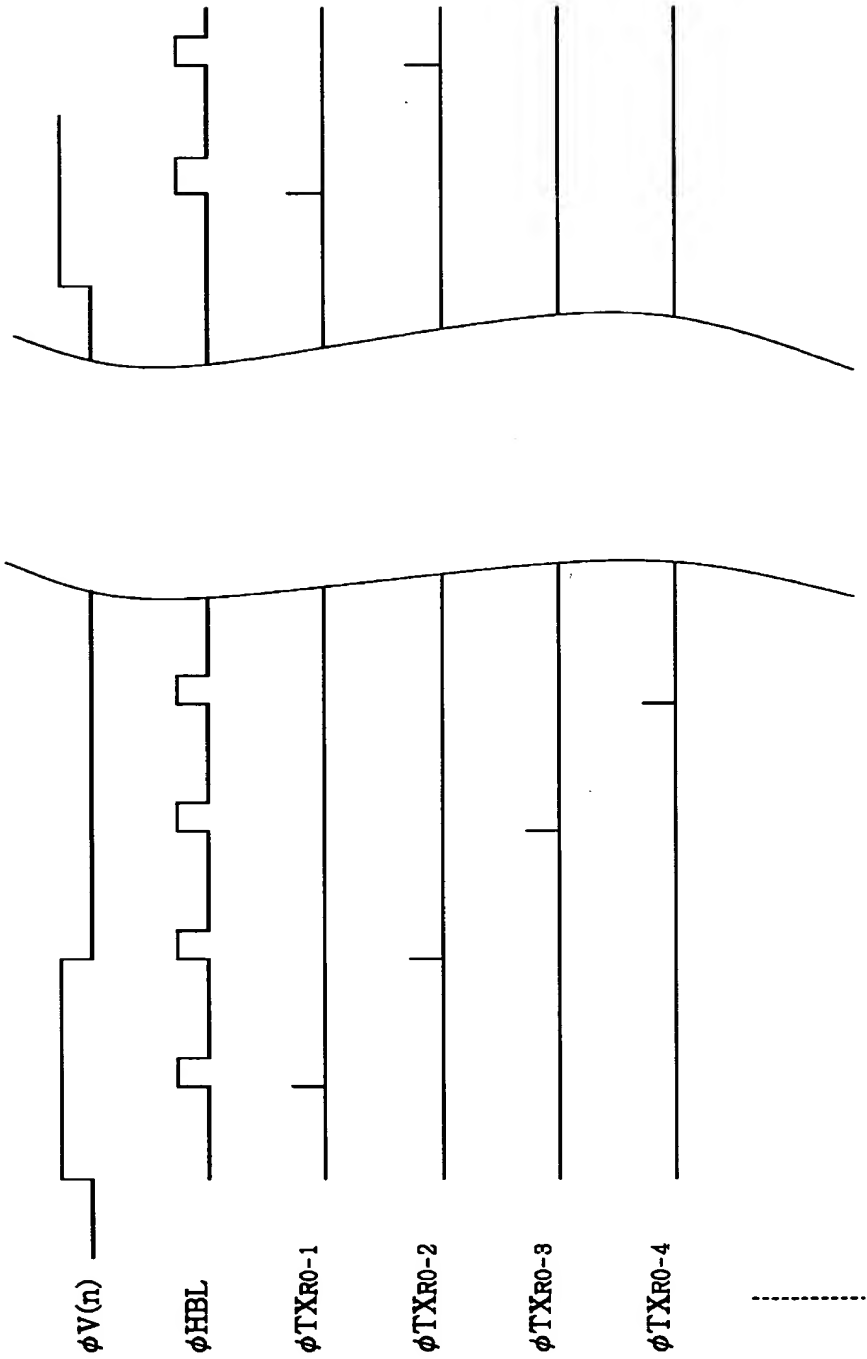


【図 18】



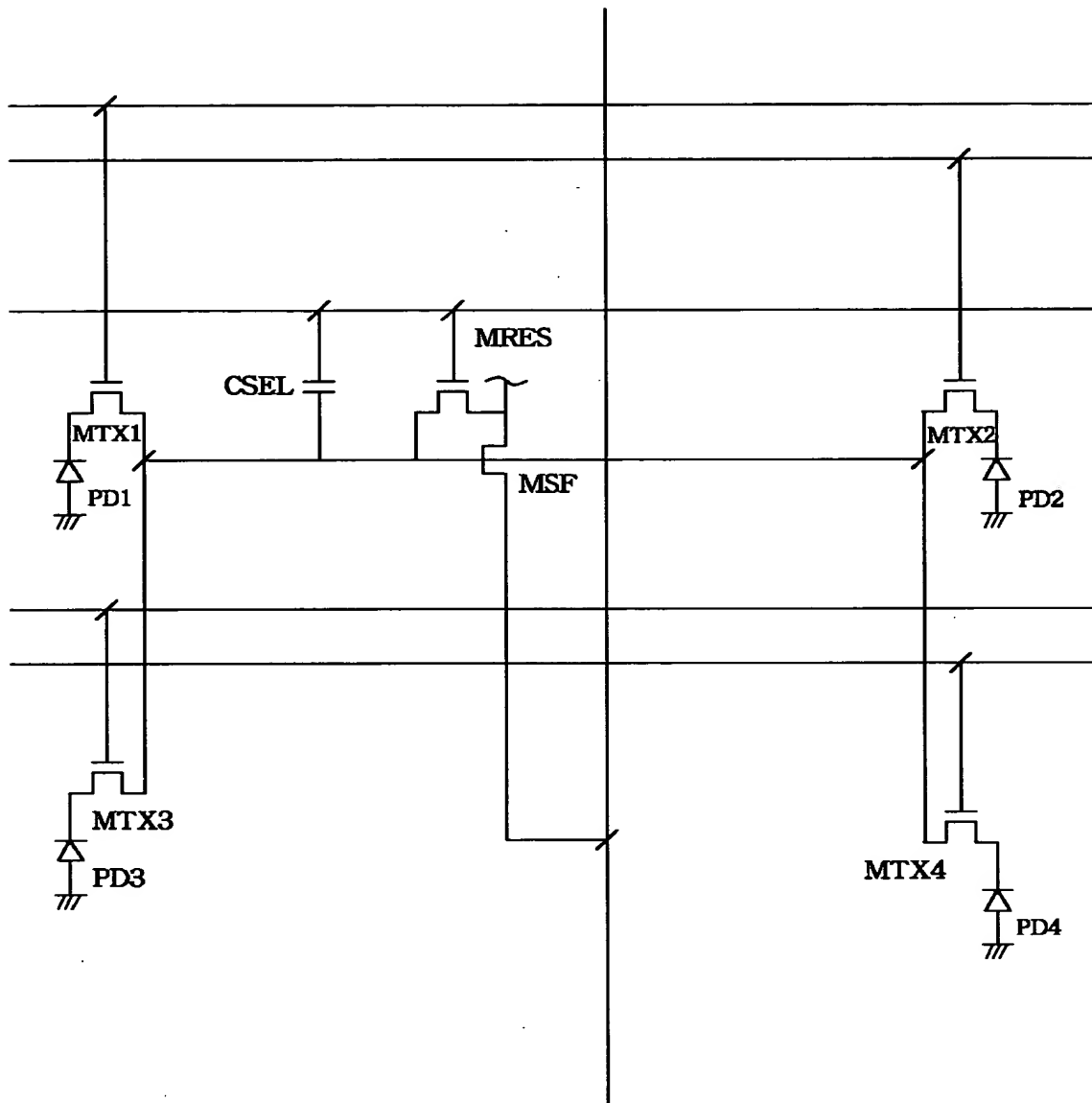
水平期間でのタイミング図

【図 19】

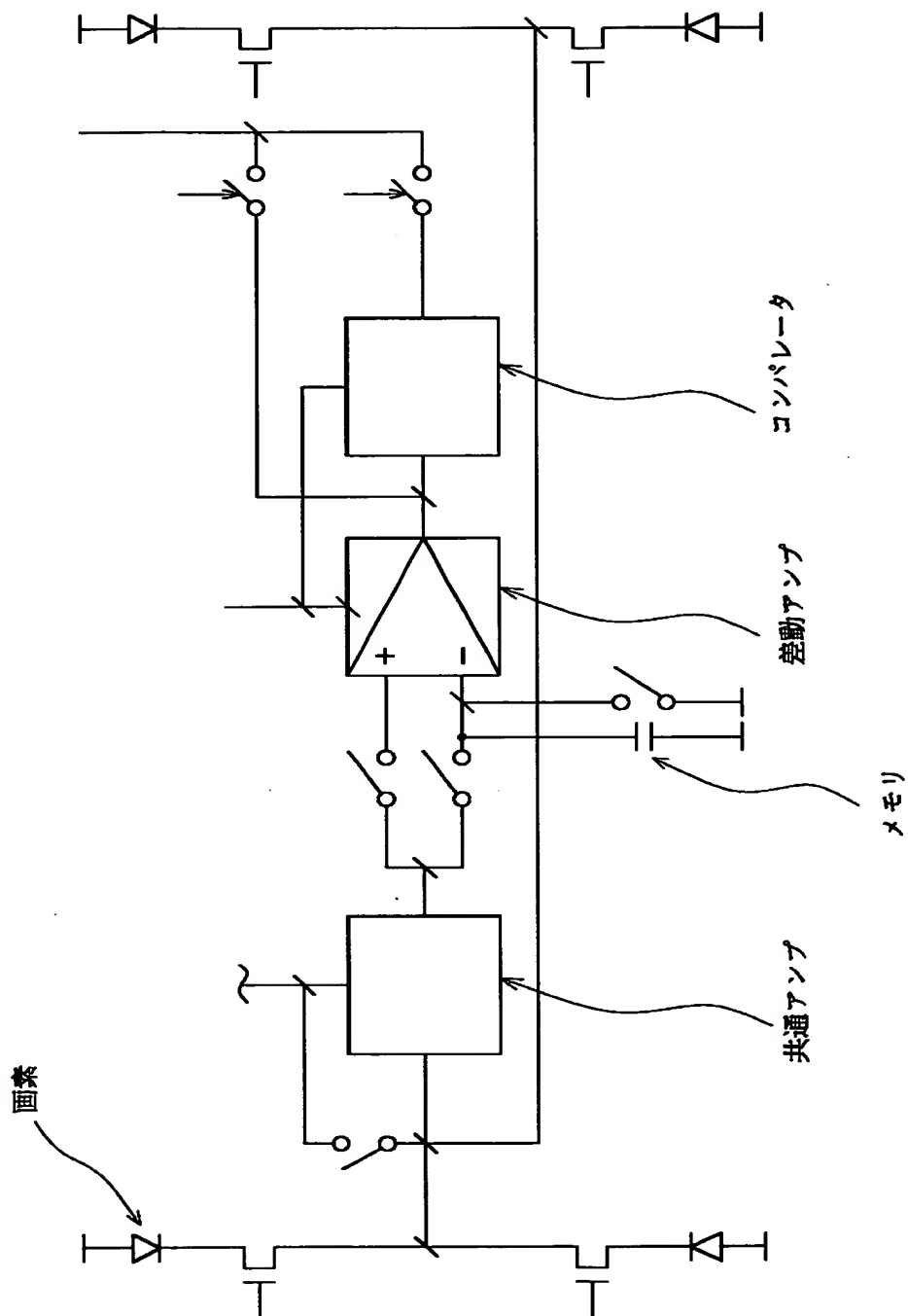


重直タイミングとの関係図

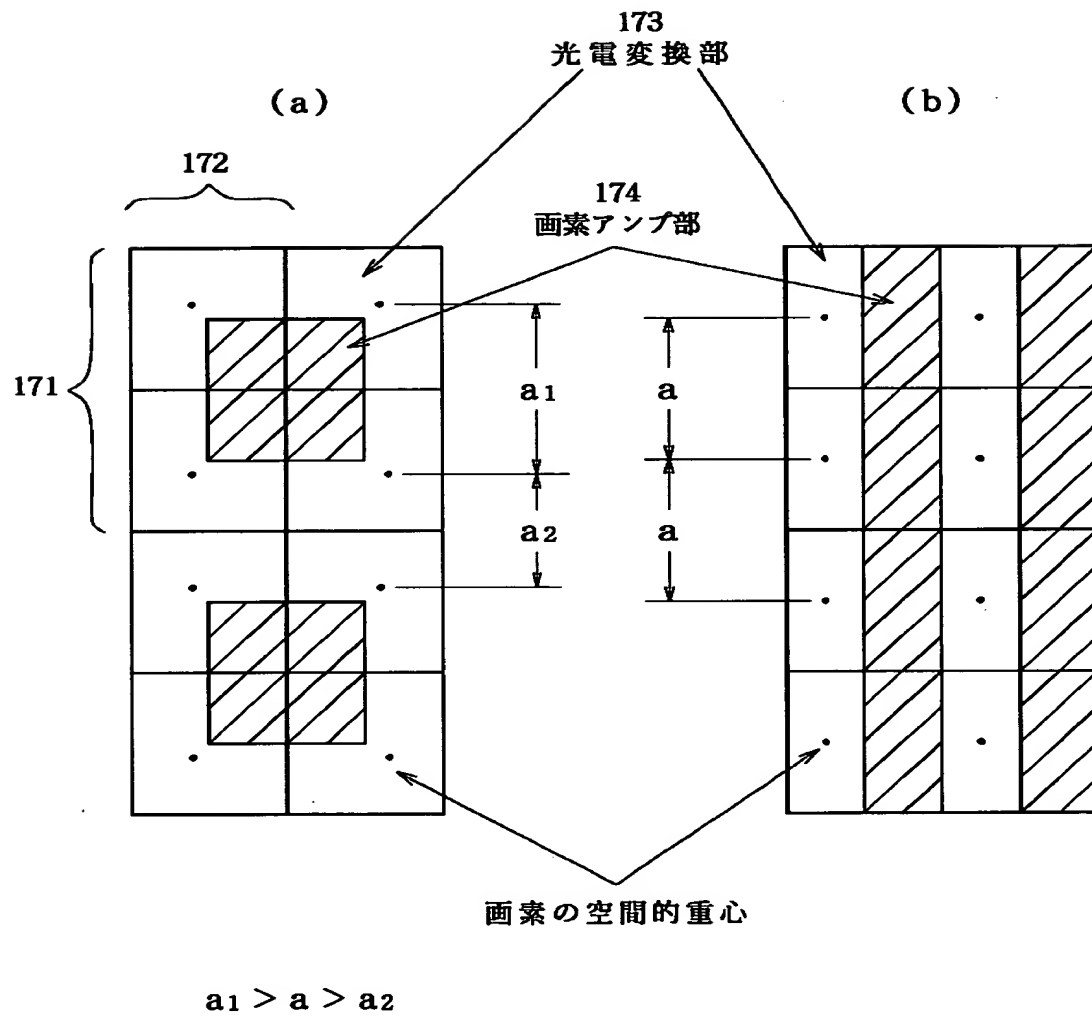
【図 20】



【図 21】

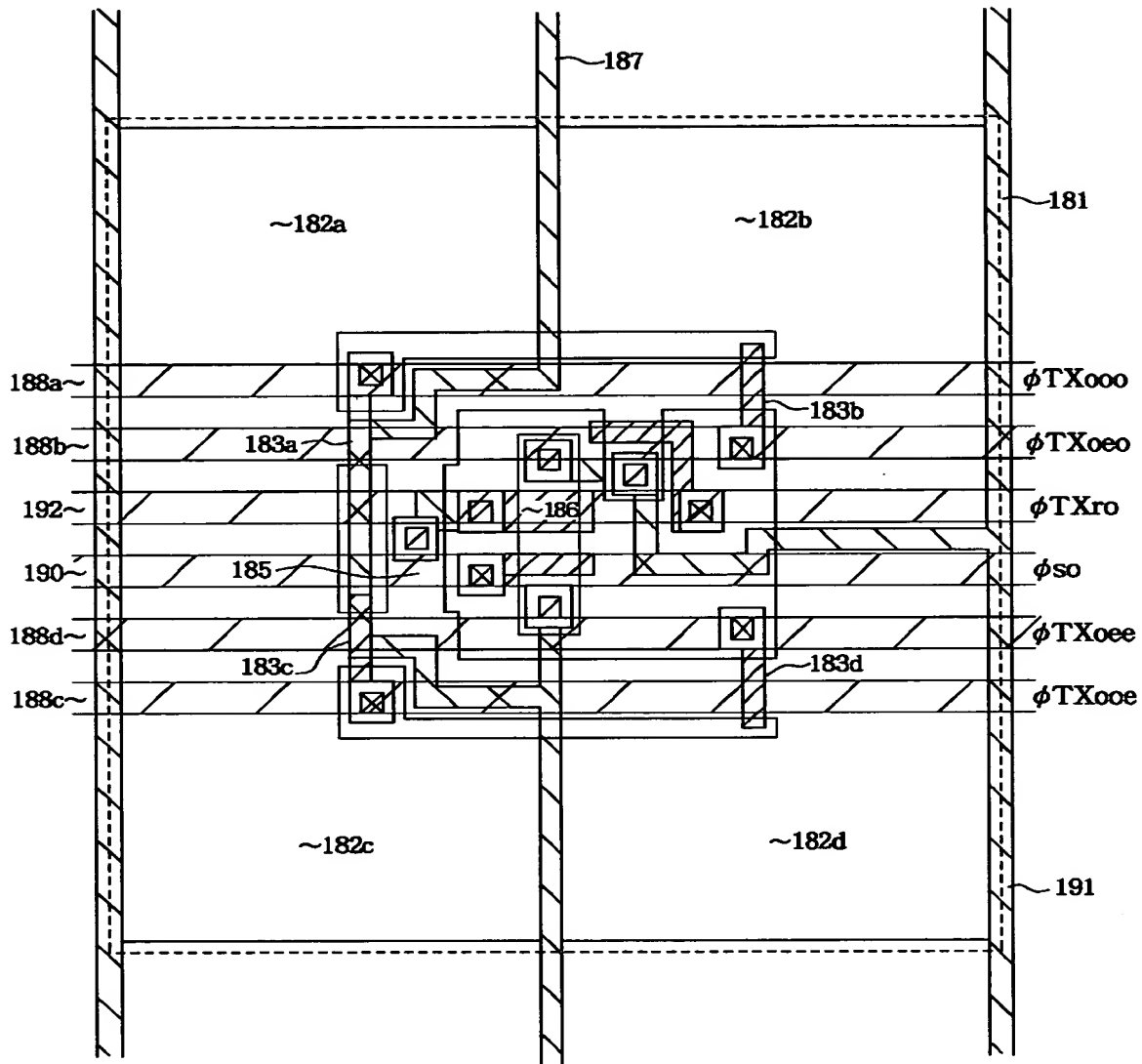


【図 22】

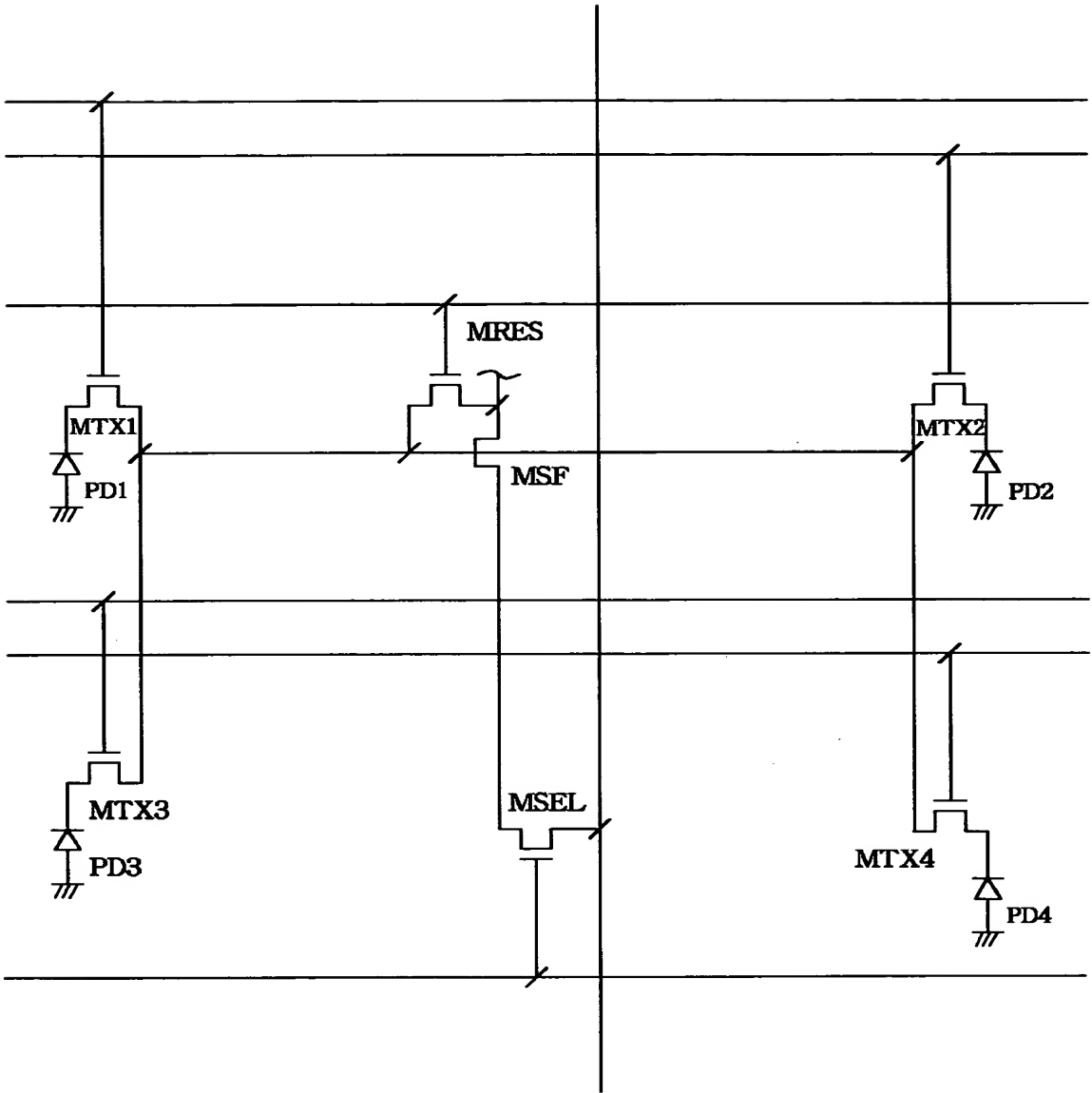




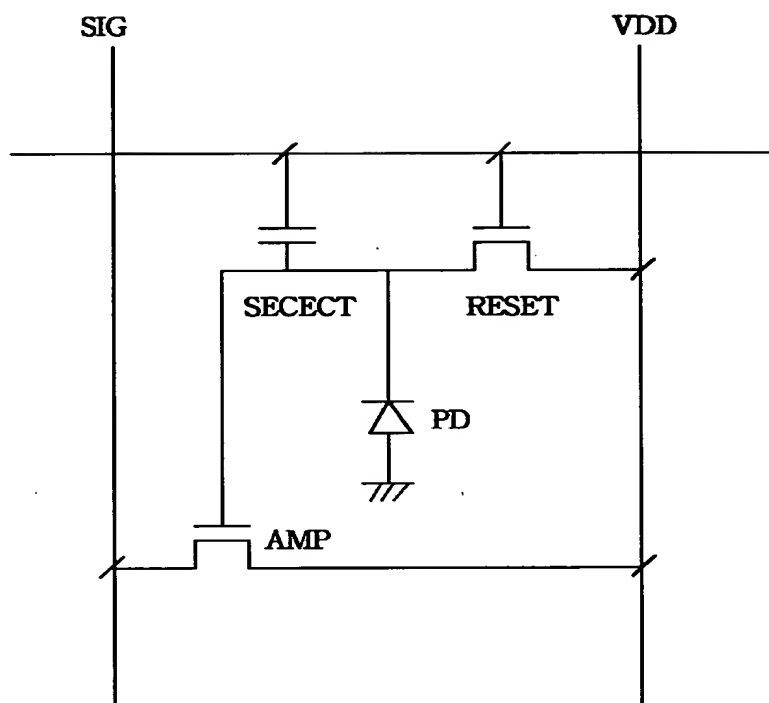
【図 23】



【図 24】



【図 25】



【書類名】 要約書

【要約】

【課題】 複数の画素に対して1つの共通回路を設けた場合においても、解像度の低下、モアレ縞の発生を防止する。

【解決手段】 複数の画素と複数の画素からの信号を処理する共通回路を配置してなる単位セルが複数配列された撮像装置において、少なくとも撮像装置の中心部分の受光部間のピッチを少なくとも垂直方向又は水平方向の1方向で等ピッチに調整するための調整手段を設けたことを特徴とする撮像装置を提供する。

【選択図】 図1

【書類名】
【訂正書類】

職権訂正データ
特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】

000001007

【住所又は居所】

東京都大田区下丸子3丁目30番2号

【氏名又は名称】

キヤノン株式会社

【代理人】

申請人

【識別番号】

100069877

【住所又は居所】

東京都大田区下丸子3-30-2 キヤノン株式会
社内

【氏名又は名称】

丸島 儀一

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社